

UNIVERSIDAD AUTONOMA DE MADRID

ESCUELA POLITECNICA SUPERIOR



TRABAJO FIN DE GRADO

DISEÑO, IMPLEMENTACIÓN Y CONTROL DE REDUCTOR MULTIFASE

Laura Usero Puig

Septiembre 2014

DISEÑO, IMPLEMENTACIÓN Y CONTROL DE REDUCTOR MULTIFASE

AUTORA: Laura Usero Puig

TUTOR: Ángel de Castro

Trabajo realizado en el grupo



Human Computer Technology Laboratory

Escuela Politécnica Superior

Universidad Autónoma de Madrid

Septiembre 2014



AGRADECIMIENTOS

En primer lugar me gustaría comenzar dando las gracias a Ángel, mi tutor, ya que sin su entrega y dedicación no hubiese sido capaz de realizar este trabajo, gracias por enseñarme todo lo que he aprendido.

Gracias a mis compañeros de la Universidad, mis compañeros de fatiga, es una gran alegría para mí ver como al final todos conseguimos nuestras metas. De una manera muy especial quiero agradecer a Sandra el apoyo que me ha brindado, ya que, hemos formado un gran equipo a lo largo de estos años.

Muchas gracias a mis amigas y amigos, a todas esas personas que han puesto su granito de arena y que han estado ahí cuando más las necesitaba.

De una forma muy especial quería dar las gracias a Mario mi compañero y amigo, por su apoyo, por su paciencia, por su comprensión y por las veces que me ha recordado que lo que estaba haciendo merecía la pena.

Por último gracias de todo corazón a mis padres, por confiar en mí, y estar siempre a mi lado tanto en los buenos como en los malos momentos. Muchas gracias por la educación que me habéis dado, por fin lo hemos conseguido.

Laura Usero Puig

Septiembre 2014

RESUMEN

En este Trabajo Fin de Grado se ha procedido a diseñar, implementar y medir un convertidor CC/CC reductor multifase cuyas premisas de diseño a grandes rasgos son, a partir de una tensión de entrada igual a 12 V y utilizando componentes comerciales fácilmente accesibles, obtener una tensión de salida igual a 5 V y una corriente de salida de 8 A (40 W), quedando así 2 A por fase al haber cuatro fases.

Para ello se ha procedido en primer lugar a desarrollar una serie de fórmulas teóricas que permitiesen hallar los valores de los componentes que se iban a utilizar para la implementación física del circuito. Una vez se calcularon estos valores se procedió a la compra de los componentes.

Paralelamente se fue diseñando el circuito, su esquemático, rutado y posterior generación de los archivos necesarios para su implementación física. Una vez construido se procedió a realizar una amplia batería de pruebas para analizar y sacar conclusiones acerca de su funcionamiento.

ABSTRACT

This final project has proceeded to design, implement and measure a DC / DC multiphase buck converter of which the main characteristics of the design are to obtain an output voltage equal to 5 V and an output current of 8 A (40 W), therefore leaving 2 A per phase for an input voltage equal to 12 V. All of these using readily available commercial components.

This has been carried out firstly developing a series of theoretical equations that has allowed to find out the values of the components that were going to be used for the physical implementation of the circuit. Once these values were calculated the components were purchased.

At the same time, the circuit was designed; its schematic, routing and the necessary files for its physical implementation. Once built many tests were carried out in order to analyze and draw conclusions about how it operates.

PALABRAS CLAVE

Fuente de alimentación, convertidor CC/CC, reductor multifase, rizado, PCB, prototipo.

KEYWORDS

Power supply, multiphase buck converter, DC/DC converter, ripple, PCB, prototype.

ÍNDICE GENERAL

RESUMEN	I
ABSTRACT	I
PALABRAS CLAVE	III
KEYWORDS	III
ÍNDICE GENERAL	V
ÍNDICE DE TABLAS	VII
ÍNDICE DE FIGURAS	IX
ABREVIATURAS	XI
1. INTRODUCCIÓN	1
1.1. ORGANIZACIÓN DE LA MEMORIA	2
2. ESTADO DEL ARTE	3
3. DISEÑO DE UN CONVERTIDOR REDUCTOR MULTIFASE	9
3.1. CÁLCULOS DE DISEÑO Y ELECCIÓN DE VALORES DE LOS COMPONENTES	9
3.1.1. OBTENCIÓN DE ECUACIONES PARA EL MODELO IDEAL	9
3.1.2. SIMULACIÓN DEL MODELO IDEAL	13
3.2. OBTENCIÓN DE VALORES PARA EL MODELO CON PÉRDIDAS	15
3.2.1. ELECCIÓN EXPERIMENTAL DEL CONDENSADOR:	18
3.3. DISEÑO DE LA CARGA DEL CIRCUITO	23
3.4. ELECCIÓN DE COMPONENTES COMERCIALES	25
3.4.1. ELECCIÓN DEL DRIVER	25
3.4.2. ELECCIÓN DEL DIODO DEL CIRCUITO DE BOOSTRAP	27
3.4.3. ELECCIÓN DE LOS MOSFET	27
3.4.4. ELECCIÓN DE LA BOBINA	28
3.4.5. ELECCIÓN DE LOS CONDENSADORES DE LOS DRIVERS	28
3.4.6. ELECCIÓN DE LA RESISTENCIA DEL CIRCUITO DE BOOSTRAP	29
3.4.7. RESISTENCIAS PARA EL CIRCUITO DE CARGA	30
3.4.8. TIRA DE PINES	31
3.4.9. BLOQUES TERMINALES	31
3.5. EL PORQUÉ DE 4 FASES	32
3.5.1. DISPAROS DESFASADOS, <i>INTERLEAVING</i>	32
4. CONSTRUCCIÓN DEL REDUCTOR	35
4.1. ESQUEMÁTICO	35
4.2. RUTADO	37
4.3. CONSTRUCCIÓN	39

5. PRUEBAS	41
5.1. DISPOSICIÓN DEL CIRCUITO PARA TOMAR MEDIDAS.....	41
5.2. PÉRDIDAS DEL CIRCUITO.....	42
5.2.1. PÉRDIDAS EN LA BOBINA	42
5.2.2. PÉRDIDAS DE CONMUTACIÓN	42
5.2.3. PÉRDIDAS EN EL MOSFET SUPERIOR.....	42
5.2.4. PÉRDIDAS EN EL MOSFET INFERIOR.....	43
5.3. GENERACIÓN DE TIEMPOS MUERTOS EN LAS SEÑALES PWM	43
5.4. PRUEBAS CON UNA FASE	45
5.5. PRUEBAS CON DOS FASES.....	51
5.6. PRUEBAS CON CUATRO FASES.....	54
6. CONCLUSIONES.....	57
7. LÍNEAS FUTURAS.....	61
APÉNDICE	63
BIBLIOGRAFÍA.....	71

ÍNDICE DE TABLAS

<i>Tabla 1. Tipos de convertidores de los sistemas de alimentación</i>	<i>4</i>
<i>Tabla 2. Parámetros de entrada del reductor</i>	<i>15</i>
<i>Tabla 3. Valores obtenidos para el modelo real</i>	<i>17</i>
<i>Tabla 4. Comparación valores modelo ideal vs modelo con pérdidas</i>	<i>18</i>
<i>Tabla 5. Condensadores a probar.....</i>	<i>19</i>
<i>Tabla 6. Cálculo de la ESR de los condensadores.....</i>	<i>22</i>
<i>Tabla 7. Algunos valores de la carga del reductor.....</i>	<i>23</i>
<i>Tabla 8. Drivers posibles para elegir.....</i>	<i>25</i>
<i>Tabla 9. Mosfet posibles para elegir.....</i>	<i>27</i>
<i>Tabla 10. Bobinas posibles para elegir</i>	<i>28</i>
<i>Tabla 11. Condensadores posibles para elegir</i>	<i>29</i>
<i>Tabla 12. Resistencias posibles para elegir.</i>	<i>29</i>
<i>Tabla 13. Resistencias de potencia posibles para elegir.....</i>	<i>30</i>
<i>Tabla 14. Tira de pines posibles para elegir.....</i>	<i>31</i>
<i>Tabla 15. Bloques terminales posibles para elegir</i>	<i>31</i>
<i>Tabla 16. Medidas a 100 kHz, 20 ns, una fase.....</i>	<i>47</i>
<i>Tabla 17. Medidas a 100 kHz, 40 ns, una fase.....</i>	<i>47</i>
<i>Tabla 18. Medidas a 100 kHz, 80 ns, una fase.....</i>	<i>47</i>
<i>Tabla 19. Medidas a 200 kHz, 20 ns, una fase.....</i>	<i>48</i>
<i>Tabla 20. Medidas a 200 kHz, 40 ns, una fase.....</i>	<i>48</i>
<i>Tabla 21. Medidas a 200 kHz, 80 ns, una fase.....</i>	<i>48</i>
<i>Tabla 22. Medidas a 400 kHz, 20 ns, una fase.....</i>	<i>49</i>
<i>Tabla 23. Medidas a 400 kHz, 40 ns, una fase.....</i>	<i>49</i>
<i>Tabla 24. Medidas a 400 kHz, 80 ns, una fase.....</i>	<i>49</i>
<i>Tabla 25. Resumen rendimientos una fase.....</i>	<i>50</i>
<i>Tabla 26. Rizado corriente de salida dos fases</i>	<i>51</i>
<i>Tabla 27. Medidas a 100 kHz, 40 ns, dos fases.....</i>	<i>52</i>
<i>Tabla 28. Medidas a 200 kHz, 40 ns, dos fases.....</i>	<i>52</i>
<i>Tabla 29. Medidas a 400 kHz, 40 ns, dos fases.....</i>	<i>52</i>
<i>Tabla 30. Resumen rendimientos dos fases.....</i>	<i>53</i>
<i>Tabla 31. Rizado de corriente de salida cuatro fases</i>	<i>54</i>
<i>Tabla 32. Medidas a 100 kHz, 40 ns cuatro fases.....</i>	<i>55</i>
<i>Tabla 33. Medidas a 200 kHz, 40 ns cuatro fases.....</i>	<i>55</i>
<i>Tabla 34. Medidas a 400 kHz, 40 ns cuatro fases.....</i>	<i>55</i>
<i>Tabla 35. Resumen rendimientos cuatro fases.....</i>	<i>56</i>

ÍNDICE DE FIGURAS

Figura 1. Esquema sistema de alimentación	3
Figura 2. Esquema sistema de alimentación no regulado	3
Figura 3. Esquema sistema de alimentación regulado	4
Figura 4. Diagrama de bloques de un regulador de tensión lineal	5
Figura 5. Ejemplo numérico regulador lineal	5
Figura 6. Topología del reductor	6
Figura 7. Forma de onda de la tensión y corriente de la bobina	10
Figura 8. Reductor con el interruptor 1 cerrado y el interruptor 2 abierto	11
Figura 9. Reductor con el interruptor 2 cerrado y el interruptor 1 abierto	11
Figura 10. Forma de onda del modelo ideal	15
Figura 11. Representación gráfica de $V_{OUTppRIPPLE_TOTAL}$	19
Figura 12. $V_{OUTppRIPPLE_TOTAL}$ condensador 1	20
Figura 13. $V_{OUTppRIPPLE_TOTAL}$ condensador 2	20
Figura 14. $V_{OUTppRIPPLE_TOTAL}$ condensador 3	20
Figura 15. $V_{OUTppRIPPLE_TOTAL}$ condensador 4	21
Figura 16. $V_{OUTppRIPPLE_TOTAL}$ condensador 5	21
Figura 17. $V_{OUTppRIPPLE_TOTAL}$ condensador 6	21
Figura 18. Rizado de la corriente de salida	22
Figura 19. Esquema de la carga del reductor	23
Figura 20. Carga del reductor construida	24
Figura 21. Conexiones driver 1	26
Figura 22. Conexiones driver 2	26
Figura 23. Desfase de las señales de disparo	32
Figura 24. Corrientes que atraviesan a las bobinas y corriente total	33
Figura 25. Detalle de las corrientes.	33
Figura 26. Rizado tensión de salida, una fase, 180 mV	34
Figura 27. Rizado tensión de salida, cuatro fases, 58.75 mV	34
Figura 28. Esquemático 1/2	36
Figura 29. Esquemático 2/2	37
Figura 30. Rutado del circuito	38
Figura 31. Circuito construido	39
Figura 32. Disposición del circuito para tomar medidas	41
Figura 33. Definición de tiempo muerto	44
Figura 34. Contador para la creación de la señal PWM	44
Figura 35. Rizado corriente de salida, 1,368 A, 1 fase, 100 kHz	46
Figura 36. Rizado corriente de salida, 718,75 mV, 1 fase, 200 kHz	46
Figura 37. Rizado corriente de salida, 406,25 mV, 1 fase, 400 kHz	46
Figura 38. Gráfica mejores resultados con una fase	50
Figura 39. Comparación de rendimientos, una fase vs dos fases a 200 kHz	53
Figura 40. Comparación de rendimientos, dos fases vs cuatro fases a 200 kHz	56
Figura 41. Comparación una, dos y cuatro fases, 200 kHz, 40 ns	58

ABREVIATURAS

TFG (Proyecto Fin de Grado)

EPS (Escuela Politécnica superior)

CC (Corriente continua)

CA (Corriente Alterna)

ESR (Equivalent Series Resistance)

FPGA (Field-Programmable Gate Array)

MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)

PCB (Printed Circuit Board)

SMD (Surface-mount technology)

PWM (Pulse-Width Modulation)

HSM (High-Side Mosfet)

LSM (Low-Side Mosfet)

VHDL (VHSIC Hardware Description Language)

1. INTRODUCCIÓN

Los sistemas de alimentación están presentes en la mayoría de los sistemas electrónicos que se integran en nuestra vida cotidiana. Ordenadores, teléfonos móviles, televisores, equipamiento sanitario, etcétera, son algunos de los múltiples ejemplos que se podrían mencionar. En general, cualquier dispositivo electrónico, o con parte electrónica, necesita una fuente de alimentación.

A la hora de diseñar un sistema de alimentación se han de tener en cuenta múltiples parámetros de diseño. Algunos de los más importantes se mencionan a continuación: en primer lugar se ha de conocer el voltaje, tanto de entrada como el deseado de salida. Por otro lado se debe atender a la corriente, si la fuente de corriente es continua o alterna, cuál es la corriente máxima o si hay requisitos de corriente mínima. Otro aspecto importante a tener en cuenta a la hora de diseñar un sistema de alimentación es el ruido. Por ejemplo siempre debe estar presente la idea de cuánto rizado se puede tolerar en la salida.

Como vemos, los sistemas de alimentación se usarán en la mayoría de los casos como convertidores de una tensión y/o corriente de entrada determinada, para obtener una tensión y/o corriente de salida que atienda a las especificaciones (entre otras) mencionadas anteriormente.

En este Trabajo Fin de Grado se ha procedido a diseñar un convertidor CC/CC cuyas premisas de diseño a grandes rasgos fueron, partir de una tensión de entrada de $V_{IN}=12\text{ V}$ obtener una tensión de salida $V_{OUT}=5\text{ V}$ con una corriente de salida $I_{OUT}=8\text{ A}$.

Dentro de las posibilidades que ofrecían los convertidores CC/CC, se decidió diseñar un reductor multifase ya que con este tipo de convertidores (convertidores conmutados) se obtienen altos rendimientos.

Se procedió por tanto al diseño del reductor, partiendo del desarrollo de sus ecuaciones, tanto del modelo ideal como del modelo con pérdidas, se hallaron los valores de los componentes, una vez hallados se procedió a la compra de éstos y a continuación al diseño del circuito (esquemático y rutado).

Una vez construido el circuito, se realizó una amplia batería de pruebas con el fin de poder analizar su funcionamiento.

1.1. ORGANIZACIÓN DE LA MEMORIA

- En el capítulo 2 se justifica la elección de un reductor multifase para resolver el problema planteado a partir del desarrollo de los tipos de convertidores CC/CC.
- En el capítulo 3 se procede a diseñar el reductor multifase, partiendo de las ecuaciones del reductor, se hallan los valores de los componentes. En este apartado también se diseña la carga variable para el circuito y por último se justifica el uso de cuatro fases.
- El capítulo 4 se dedica a la construcción del reductor, esquemático y rutado.
- En el capítulo 5 en primer lugar se analizan las pérdidas que sufre el circuito. A continuación se explica cómo se han generado las señales *PWM* utilizando tiempos muertos. Por último se procede a realizar una batería de pruebas para una, dos y cuatro fases.
- El capítulo 6 se dedica a analizar los resultados del TFG y sacar las conclusiones pertinentes.
- Por último en el capítulo 7 se analizan las líneas futuras, cómo se puede continuar con el estudio del reductor.

2. ESTADO DEL ARTE

A grandes rasgos, un sistema de alimentación podría representarse como se refleja en la Figura 1, en la que vemos cómo un sistema electrónico cualquiera queda alimentado gracias a un sistema de alimentación del cual recibe un determinado voltaje.



Figura 1. Esquema sistema de alimentación

Los sistemas de alimentación sencillos (no regulados) son construidos con un transformador, un rectificador y un filtro, Figura 2. El problema de este tipo de sistemas es que las tensiones de salida cambian con la corriente que circulan por la carga, por lo tanto no suelen ser adecuados para la mayoría de las aplicaciones.

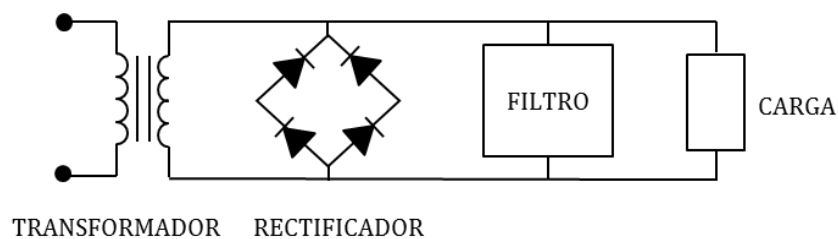


Figura 2. Esquema sistema de alimentación no regulado

Se debe de añadir entonces un regulador de tensión, el cual sea capaz de regular la tensión y hacerla estable para así poder alimentar de una manera adecuada la carga, como se observa en la Figura 3.

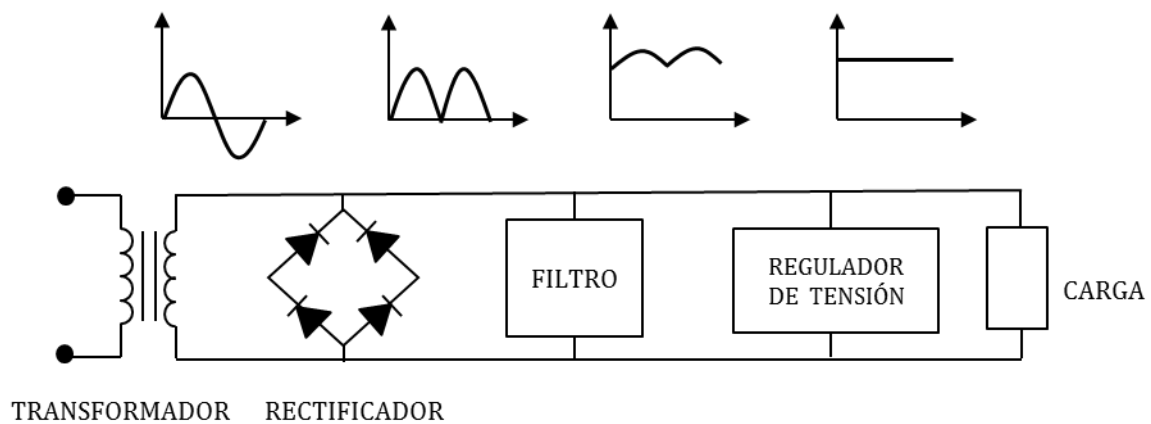


Figura 3. Esquema sistema de alimentación regulado

Por tanto se podría decir que la función de un regulador de tensión es proporcionar una tensión específica y estable, a partir de una fuente de alimentación de entrada que no se ajusta a las necesidades específicas de la carga. Además, el regulador de tensión debe de ser capaz de proporcionar corrientes de salida desde decenas de miliamperios, hasta varios amperios dependiendo del regulador y las necesidades de la carga. [1]

A grandes rasgos los reguladores de tensión los podemos agrupar como se muestra en la Tabla 1.

CA/CC		CC/CC	
Con alto contenido de armónicos de baja frecuencia.	Con bajo contenido de armónicos de baja frecuencia.	Convertidores conmutados.	Reguladores lineales.

Tabla 1. Tipos de convertidores de los sistemas de alimentación

Debido a que en este Trabajo Fin de Grado se va a trabajar con corriente continua se pasa a analizar las diferencias entre un convertidor conmutado y un regulador lineal.

El regulador lineal controla la tensión de salida ajustando continuamente la caída de tensión en un transistor de potencia que se encuentra conectado en serie entre la entrada no regulada y la carga, Figura 4.

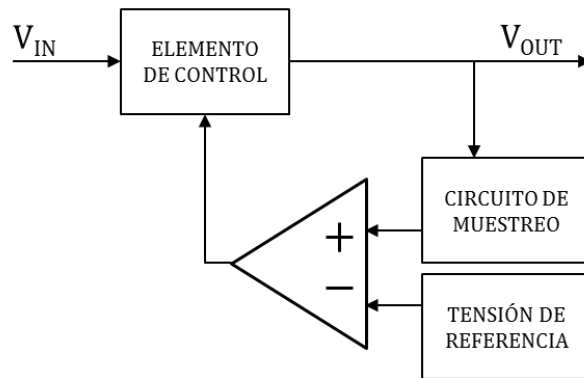


Figura 4. Diagrama de bloques de un regulador de tensión lineal

Los reguladores lineales por lo general son más económicos y más sencillos de utilizar que los convertidores conmutados pero tienen poca eficiencia, en torno al 30%-60%, debido principalmente a la potencia consumida por el elemento en serie.

Por ejemplo si se decidiese usar un regulador lineal para la aplicación de este TFG ($V_{IN}=12\text{ V}$ y $V_{OUT}=5\text{ V}$) se obtendría el siguiente rendimiento.

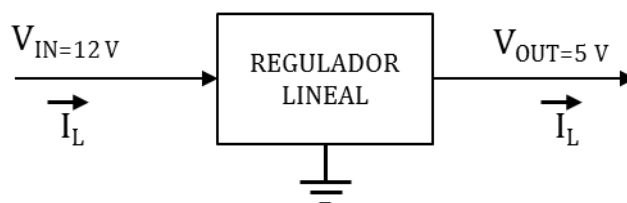


Figura 5. Ejemplo numérico regulador lineal

Potencia en la carga:

$$P_L = V_{OUT} \cdot I_L = 5 \cdot I_L \text{ W} \quad (2.1)$$

Potencia en el regulador:

$$P_R = (V_{IN} - V_{OUT}) \cdot I_L = 7 \cdot I_L \text{ W} \quad (2.2)$$

Potencia total:

$$P_T = V_{IN} \cdot I_L = 12 \cdot I_L \text{ W} \quad (2.3)$$

Siendo por tanto el rendimiento:

$$\eta = \frac{P_L}{P_T} = 41.66 \% \quad (2.4)$$

Debido a estos resultados para este Trabajo Fin de Grado se ha optado por utilizar un convertidor conmutado, ya que alcanzan mayores eficiencias 80%-99%.

Los convertidores conmutados a diferencia de los reguladores lineales utilizan el transistor de potencia como un conmutador, por lo tanto consumen mucha menos potencia. Como ejemplo de convertidor conmutado puede usarse el reductor.

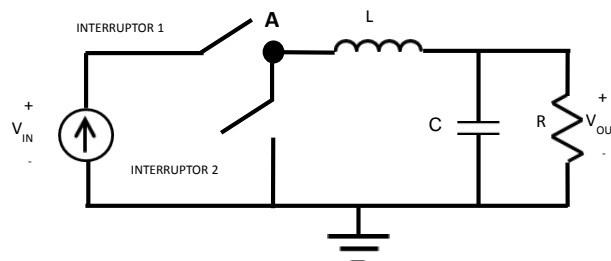


Figura 6. Topología del reductor

En primer lugar, como se observa en la Figura 6, el reductor, salvo la carga, no tiene elementos pasivos. Además debido a la conmutación de los interruptores, en el punto A lo que se consigue es poner un valor medio y así conseguir a la salida la tensión deseada eligiendo adecuadamente el ciclo de trabajo.

Por otro lado los convertidores conmutados suelen ser más ligeros y pequeños para altas potencias. Sin embargo, no son toda ventajas ya que el circuito es más complicado y precisamente debido a la conmutación hay un mayor ruido que desencadena un mayor rizado.

Estas ventajas e inconvenientes deben tenerse en cuenta en la elección del tipo de fuente. En este TFG se ha optado por un convertidor conmutado ya que ha primado el rendimiento sobre los otros factores por tratarse de una fuente para potencia de salida media-alta dentro del rango de tensiones seleccionado.

Una vez decidido el uso de un convertidor conmutado, se procedió a elegir entre las topologías de convertidores más sencillas disponibles (opciones económicas y sin aislamiento) entre las que destacan el elevador, el reductor y el reductor-elevador (en inglés *boost*, *buck*, *buck-boost* respectivamente). Se optó por el reductor puesto que en los requisitos se especificaba una tensión de salida menor que la tensión de entrada. Además el reductor es el más típico en fuentes del tipo *point-of-load*, es decir, alimentación directa de microprocesadores y otros dispositivos digitales.

Por último, una vez decidido usar un convertidor conmutado reductor, se optó por utilizar uno multifase (en inglés *multiphase buck converter*) de 4 fases, debido a que la corriente de salida era muy alta y con el fin de reducir su rizado tal como se explica en la sección 3.5.

3. DISEÑO DE UN CONVERTIDOR REDUCTOR MULTIFASE

En este Trabajo Fin de Grado se ha procedido a diseñar un reductor cuyas premisas de diseño a grandes rasgos son, para una tensión de entrada $V_{IN}=12\text{ V}$ y utilizando componentes físicos existentes, se obtenga una tensión de salida $V_{OUT}=5\text{ V}$ y una corriente de salida $I_{OUT}=8\text{ A}$ (40 W), quedando así 2 A por fase.

3.1. CÁLCULOS DE DISEÑO Y ELECCIÓN DE VALORES DE LOS COMPONENTES

Para esta fase del proceso de diseño, se ha procedido a elegir los valores para una sola fase, y replicar los valores obtenidos en las otras tres restantes. Es decir, las cuatro fases tienen los mismos valores para todos sus componentes comunes, si bien el condensador es común a todas sus fases.

La topología del reductor es la que se mostró en la Figura 6. Vemos cómo se deben elegir los valores adecuados tanto para la bobina como para el condensador.

3.1.1. OBTENCIÓN DE ECUACIONES PARA EL MODELO IDEAL

A continuación, se desarrollan unas ecuaciones teóricas para la deducción de estos valores [2], [3]. Nótese que éstas, para un diseño enfocado a su posterior implementación y construcción son demasiado aproximadas por lo que, posteriormente, se desarrollarán otras ecuaciones que tienen en cuenta las no idealidades de los componentes.

Aun así, como primera aproximación, para hacer un estudio previo y comprender en qué consiste un reductor serán útiles.

En primer lugar, mencionar que los interruptores son controlados mediante una señal *PWM*, que se modela a partir de un ciclo de trabajo que se denomina *Duty Cycle* (D), siendo éste siempre menor que uno, siendo por tanto $D'=1-D$. Y un periodo fijo T_s , siendo la frecuencia de conmutación $f_{SW} = \frac{1}{T_s}$.

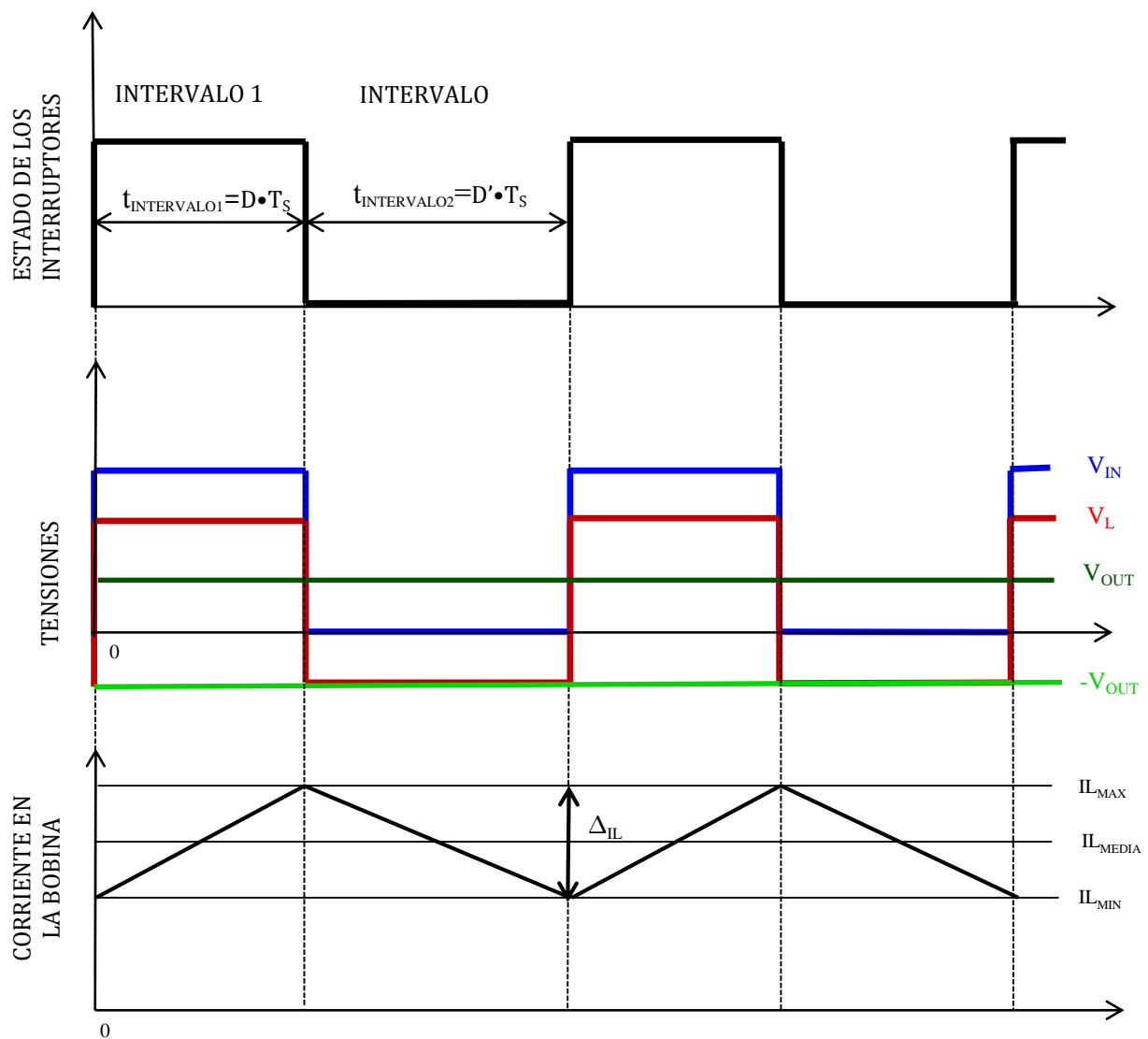


Figura 7. Forma de onda de la tensión y corriente de la bobina

Deducción de la inductancia de la bobina:

Las formas de onda típicas de un reductor se observan en la Figura 7, y derivan de las siguientes ecuaciones:

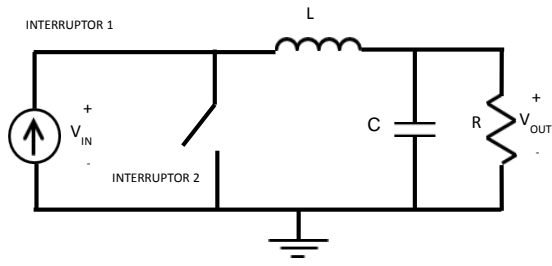


Figura 8. Reductor con el interruptor 1 cerrado y el interruptor 2 abierto.

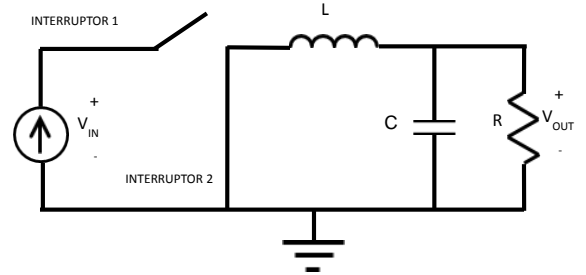


Figura 9. Reductor con el interruptor 2 cerrado y el interruptor 1 abierto.

Como se observa en la Figura 8, cuando el interruptor 1 se encuentra cerrado y el interruptor 2 abierto (intervalo 1, Figura 7) la tensión que cae en la bobina es:

$$V_L = V_{IN} - V_{OUT} \quad (3.1.1)$$

Sin embargo vemos en la Figura 9, que cuando el interruptor 1 es el que está abierto y el interruptor 2 cerrado (intervalo 2, Figura 7) la tensión que cae en la bobina es:

$$V_L = -V_{OUT} \quad (3.1.2)$$

Por otro lado, de manera genérica, la corriente en la bobina viene dada por la siguiente expresión:

$$i_L = \frac{1}{L} \int_0^t V_L \cdot dt \quad (3.1.3)$$

Así pues, el incremento de corriente en el intervalo 1 será igual a (3.1.4) y el incremento de corriente en el intervalo 2 será igual a (3.1.5):

$$\Delta i_{\text{INTERVALO } 1} = \frac{V_{\text{IN}} - V_{\text{OUT}}}{L} \cdot t_{\text{INTERVALO } 1} \quad (3.1.4)$$

$$\Delta i_{\text{INTERVALO } 2} = \frac{-V_{\text{OUT}}}{L} \cdot t_{\text{INTERVALO } 2} \quad (3.1.5)$$

Por lo tanto el valor de L se obtiene despejando cualquiera de las dos ecuaciones anteriores, ya que una vez alcanzado el régimen permanente $\Delta i_{\text{INTERVALO } 1} = \Delta i_{\text{INTERVALO } 2}$.

Así pues si como más adelante veremos, si se permite un incremento de corriente igual a 0,8 A, la tensión de entrada es igual a 12V y la tensión de salida igual a 5V para una frecuencia de conmutación igual a 200 kHz se obtendría un valor de L igual a 18,226 μH .

- **Elección del condensador:**

Para hallar el valor mínimo que debe de tener la capacidad del condensador se puede usar la siguiente ecuación [4]:

$$C_{\text{MIN}} = \frac{\Delta i_{\text{INTERVALO } 1}}{8 \cdot \frac{1}{T_S} \cdot \Delta V_{\text{OUT}}} \quad (3.1.6)$$

Obteniendo por tanto para este caso ideal, una capacidad mínima igual a 10 μF , si se mantienen los valores que se han usado para obtener L y se permite un incremento de tensión del 1%.

- **Deducción del ciclo de trabajo:**

Nótese que todas las ecuaciones anteriores están calculadas bajo las condiciones de régimen estacionario.

No es precisamente hasta ese momento de equilibrio, cuando se puede afirmar que el aumento de la corriente en la bobina en el primer intervalo es igual a la disminución de la corriente en el segundo intervalo, concluyendo que en estas condiciones no hay cambio neto en la corriente de la bobina.

$$\Delta i_{\text{INTERVALO 1}} + \Delta i_{\text{INTERVALO 2}} = 0 \quad (3.1.7)$$

Sustituyendo a partir de las ecuaciones 3.1.4 y 3.1.5 y sabiendo que $t_{\text{INTERVALO 1}} = D \cdot T_s$, y que $t_{\text{INTERVALO 2}} = (1-D) \cdot T_s$, se obtiene que el ciclo de trabajo es igual a:

$$D = \frac{V_{\text{OUT}}}{V_{\text{IN}}} \quad (3.1.8)$$

Es decir se obtiene una relación lineal entre la tensión de salida y la tensión de entrada. Obteniendo así que para una tensión de salida igual a 5 V y para una tensión de entrada igual a 12 V se obtiene un ciclo de trabajo igual a 0,416 y por tanto a 200 kHz un $t_{\text{INTERVALO 1}}$ igual a 2,083 μs .

3.1.2. SIMULACIÓN DEL MODELO IDEAL

Tras la deducción de las ecuaciones para el modelo ideal de una sola fase, se procedió a hacer una simulación en VHDL.

```
entity ReductorUnaFase is
  port (
    Clk      : in std_logic;
    Reset    : in std_logic;
    HSM      : in std_logic;
    LSM      : in std_logic;
    Vin      : in real;
    Ir       : in real;
    Iout     : out real;
    Vout     : out real
  );
end ReductorUnaFase;
```

```

architecture Reductor of ReductorUnaFase is

    constant dt      : real := 20.0e-9;
    constant C       : real := 25.0e-6; -- Obtenido con calculos previos
    constant L       : real := 22.0e-6; -- Obtenido con calculos previos
    constant dtL     : real := dt/L;
    constant dtC     : real := dt/C;
    constant Iini    : real := 0.0;
    constant Vini    : real := 0.0;
    signal Ioutaux   : real := 0.0;
    signal Voaux     : real := 0.0;
    signal Ic        : real := 0.0;
    signal Vl        : real := 0.0;
    signal Il        : real := 0.0;
    signal IRipple   : real := 0.0;

begin

    Iout <= Ioutaux;
    Ic <= Il - Ir;
    Vout <= Voaux;

    Interruptores : process (HSM,LSM, Vin, Vl, Voaux)
    begin
        if (HSM = '1' and LSM='0') then
            Vl <= Vin-Voaux;
            Ioutaux <= Il;
        elsif (HSM = '0' and LSM='1') then
            Vl <= -Voaux;
            Ioutaux <= 0.0;
        elsif (HSM = '0' and LSM='0') then
            if Il<0.0 then
                Vl <= Vin-Voaux;
                Ioutaux <= Il;
            elsif Il>0.0 then
                Vl <= -Voaux;
                Ioutaux <= 0.0;
            end if;
        elsif (HSM = '1' and LSM='1') then -- Nunca se debería dar este caso
            Vl <= Vini;
            Ioutaux <= Iini;
        end if;
    end process Interruptores;

    assignment : process (Clk, Reset)
    begin
        if Reset = '1' then
            Voaux <= Vini;
            Il <= Iini;
        elsif rising_edge(Clk) then
            Il <= Il + Vl*dtL;
            Voaux <= Voaux + Ic*dtC;
        end if;
    end process assignment;

end Reductor;

```

Código 1. Modelo ideal reductor unifase

Obteniendo así las siguientes formas de onda, Figura 10, que como se observa, una vez alcanzado el régimen estacionario, son muy similares a las de la Figura 7.

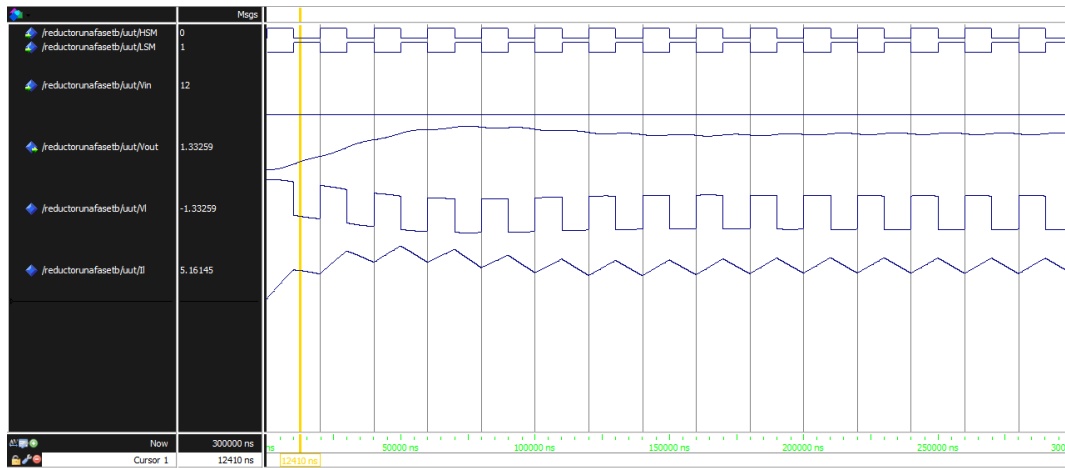


Figura 10. Forma de onda del modelo ideal

3.2. OBTENCIÓN DE VALORES PARA EL MODELO CON PÉRDIDAS

Hasta este punto se ha analizado un modelo simplificado, puesto que no se han tenido en cuenta las no idealidades de los componentes. A continuación se procede al cálculo de unas ecuaciones más realistas, con vistas a llevar a cabo la implementación física del reductor [4], [5].

Parámetro	Valor
Tensión de entrada	$V_{IN}=12\text{ V}$
Tensión de salida	$V_{OUT}=5\text{ V}$
Corriente de salida	$I_{OUT}=2\text{ A}$
Porcentaje de rizado pico-pico de la tensión de salida:	$\text{Rizadopp}_{\text{TENSIONOUT}}=1\%$
Porcentaje de rizado pico-pico de la corriente de salida:	$\text{Rizadopp}_{\text{CORRIENTEOUT}}=40\%$
Frecuencia de conmutación	$f_{sw}=200\text{ kHz}$
Resistencia que ofrece la bobina:	$R_L=14,6\text{ m}\Omega$
Resistencia que ofrecen los <i>mosfet</i> :	$R_{DSon}=7,4\text{ m}\Omega$

Tabla 2. Parámetros de entrada del reductor

A partir de estos valores y mediante las ecuaciones de la siguiente tabla se podrá hallar tanto el ciclo de trabajo como el valor de la inductancia de la bobina como el valor de la capacidad mínima del condensador que posteriormente se usarán para la implementación física del circuito.

Se debe mencionar que los dos últimos parámetros de entrada, resistencia que ofrece la bobina y resistencia que ofrecen los *mosfet*, Tabla 2, se han de consultar en el *datasheet* de los componentes seleccionados. Es cierto que para una primera aproximación éstos se desconocen, por lo que se recomienda poner unos valores típicos. En cualquier caso, su influencia es pequeña en los resultados, por lo que un valor aproximado es suficiente.

Parámetro	Ecuación	Valor
Periodo de conmutación	$T_{SW} = \frac{10^{-6}}{f_{sw} \cdot 10^3}$	5 μ s
Potencia de salida	$P_{OUT} = V_{OUT} \cdot I_{OUT}$	10 W
Rizado pico-pico corriente de salida	$I_{OUTppRIPPLE} = \frac{Rizado_{ppCORRIENTEOUT}}{100} \cdot I_{OUT}$	0,8 A
Rizado pico-pico de tensión de salida	$V_{OUTppRIPPLE} = \frac{Rizado_{ppOUT}}{100} \cdot V_{OUT}$	0,05 V
Tensión que cae en el MOSFET 1	$V_{RDSon1} = R_{DSon} \cdot I_{OUT}$	0,015 V
Tensión que cae en el MOSFET 2	$V_{RDSon2} = R_{DSon} \cdot I_{OUT}$	0,015 V
Ciclo de trabajo	$D = \frac{V_{OUT} + V_{RDSon2}}{V_{IN} - V_{RDSon1} + V_{RDSon2}}$	0,417

Tiempo 1 de conmutación	$t_{\text{INTERVALO1}} = D \cdot T_{\text{SW}}$	2,089 μs
Valor mínimo inductancia	$L_{\text{MIN}} = \frac{V_{\text{IN}} - V_{\text{OUT}} - V_{\text{RDSon1}}}{I_{\text{OUTppRIPPLE}}} \cdot t_{\text{INTERVALO1}}$	18,244 μH
Corriente máxima a través de la bobina	$I_{\text{LMAX}} = \frac{I_{\text{OUTppRIPPLE}}}{2} + I_{\text{OUT}}$	2,4 A
Tensión que cae en la bobina:	$V_{\text{L}} = \frac{R_{\text{L}}}{100} \cdot I_{\text{OUT}}$	0,292 V
Valor mínimo de la capacidad	$C_{\text{MIN}} = \frac{I_{\text{OUTppRIPPLE}} \cdot T_{\text{sw}}}{8 \cdot V_{\text{OUTppRIPPLE}}}$	10 μF

Tabla 3. Valores obtenidos para el modelo real

Una vez hallado el valor de la inductancia, se puede calcular la tensión que cae en la bobina, y con este valor hacer una aproximación más realista del ciclo de trabajo tal como muestra la ecuación:

$$D = \frac{V_{\text{OUT}} + V_{\text{RDSon2}} + V_{\text{L}}}{V_{\text{IN}} - V_{\text{RDSon1}} + V_{\text{RDSon2}}} = 0,442 \quad (3.2.1)$$

Se puede apreciar así, Tabla 4, como la variación los valores respecto a los hallados con el modelo ideal no son muy diferentes. Para el caso del condensador se usó la misma ecuación teórica del modelo ideal para el modelo con pérdidas ya que la contemplación de las pérdidas se realizaron en el punto siguiente de forma experimental.

MODELO CON PÉRDIDAS	MODELO IDEAL
$L=18,244 \mu\text{H}$	$L=18,226 \mu\text{H}$
$C_{\text{MIN}}= 10 \mu\text{F}$	$C_{\text{MIN}}= 10 \mu\text{F}$
$D=0,417$	$D=0,416$
$t_{\text{INTERVALO}_1}=2,089 \mu\text{s}$	$t_{\text{INTERVALO}_1}=2.083 \mu\text{s}$

Tabla 4. Comparación valores modelo ideal vs modelo con pérdidas

3.2.1. ELECCIÓN EXPERIMENTAL DEL CONDENSADOR:

En las ecuaciones de la Tabla 3 se ha calculado el valor mínimo que debía tener el condensador. Sin embargo, su valor real se ve en muchos casos más influido por la ESR (resistencia equivalente serie) del condensador que por el propio valor de la capacidad C. Para saber qué valor era el más adecuado para usar en el reductor, se procedió a obtenerlo de forma experimental.

Teóricamente la tensión de rizado viene definida por la siguiente ecuación:

$$V_{\text{OUTppRIPPLE_TOTAL}} = \sqrt{V_{\text{OUTppRIPPLE_ESR}}^2 + V_{\text{OUTppRIPPLE_C}}^2} \quad (3.2.2)$$

Siendo:

$$V_{\text{OUTppRIPPLE_C}} = \frac{I_{\text{OUTppRIPPLE}} \cdot T_{\text{sw}}}{8 \cdot C_{\text{ESR}}} \quad (3.2.3)$$

$$V_{\text{OUTppRIPPLE_ESR}} = I_{\text{OUTppRIPPLE}} \cdot \text{ESR} \quad (3.2.4)$$

Como se observa el rizado de salida depende tanto del condensador que se elija como de la ESR (resistencia serie equivalente) que éste tenga. Podemos representar gráficamente esta ecuación de la siguiente manera:

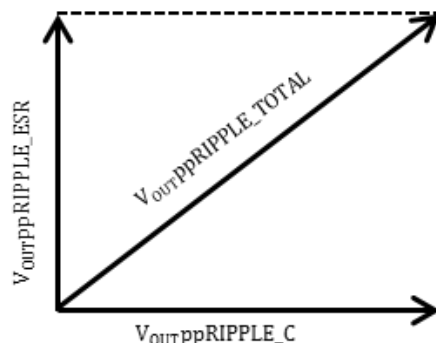


Figura 11. Representación gráfica de $V_{OUTppRIPPLE_TOTAL}$

Lo que se pretende es que $V_{OUTppRIPPLE_TOTAL}$ sea lo menor posible, como se muestra en la Figura 11. Debe existir un compromiso entre la capacidad y su ESR.

Se realizaron, por tanto, una serie de pruebas experimentales a partir de los condensadores de los que se disponían en el laboratorio, analizando la tensión de salida y viendo qué ocurría con el rizado, tratando de minimizar éste al máximo. El análisis fue experimental porque se desconocían sus valores de ESR.

Estas pruebas se realizaron bajo las siguientes condiciones: utilizando una sola fase con una carga de $1,961 \Omega$, a una frecuencia de conmutación de 200 kHz y con 40 ns de tiempo muerto entre los disparos de activación de uno y otro *mosfet*.

Se probaron los siguientes condensadores:

	Tipo	Capacidad	V_{MAX}
Condensador 1	Electrolítico	2,2 μF	63 V
Condensador 2	Electrolítico	10 μF	16 V
Condensador 3	Electrolítico	100 μF	63 V
Condensador 4	Electrolítico	220 μF	35 V
Condensador 5	Electrolítico	470 μF	16 V
Condensador 6	Cerámico	1 μF	

Tabla 5. Condensadores a probar

Obteniéndose así las siguientes tensiones de salida:

Para el condensador 1 se obtuvo un rizado igual a 893,75 mV

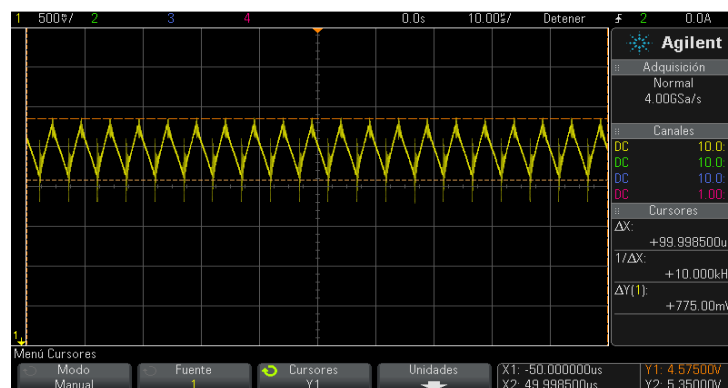


Figura 12. $V_{OUTppRIPPLE_TOTAL}$ condensador 1

Para el condensador 2 se obtuvo un rizado de 775,00 mV

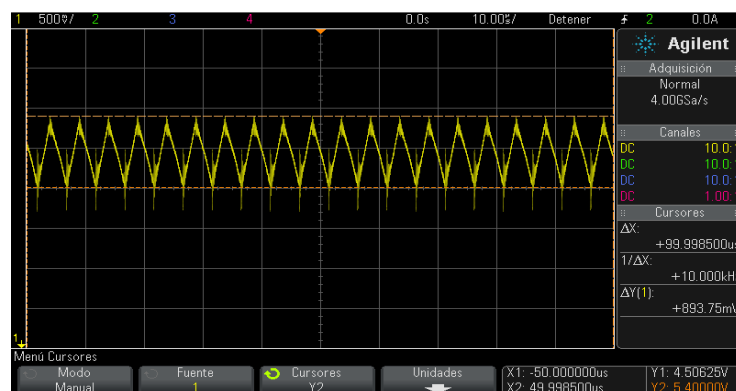


Figura 13. $V_{OUTppRIPPLE_TOTAL}$ condensador 2

Para el condensador 3 se obtuvo un rizado de 357,50 mV

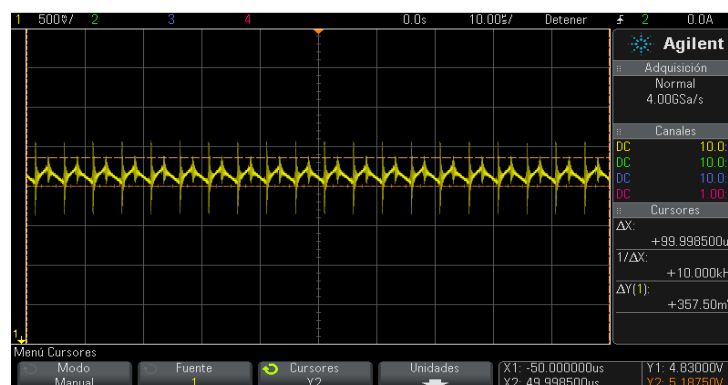


Figura 14. $V_{OUTppRIPPLE_TOTAL}$ condensador 3

Para el condensador 4 se obtuvo un rizado de 180 mV

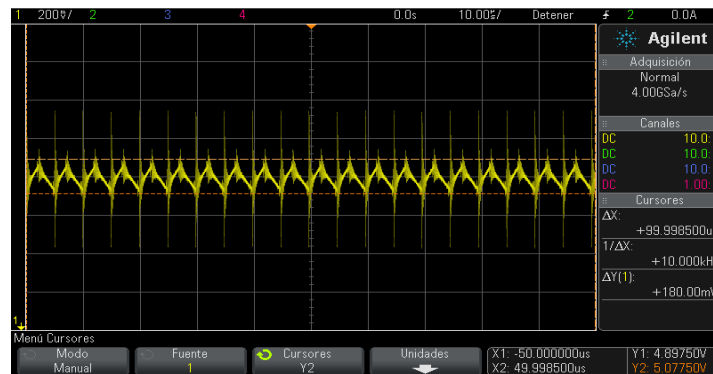


Figura 15. $V_{OUTppRIPPLE_TOTAL}$ condensador 4

Para el condensador 5 se obtuvo un rizado de 262,50 mV

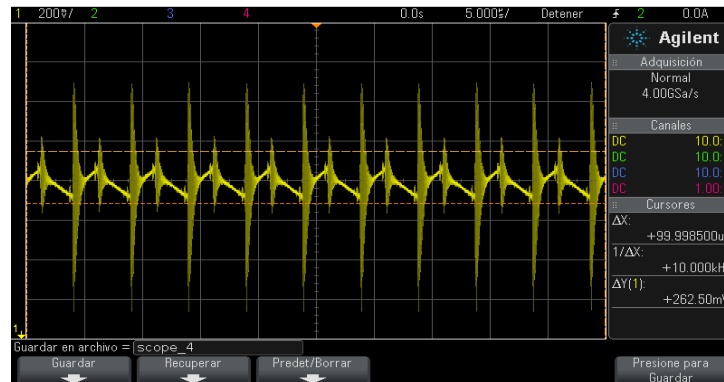


Figura 16. $V_{OUTppRIPPLE_TOTAL}$ condensador 5

Para el condensador 5 se obtuvo un rizado de 332,50 mV

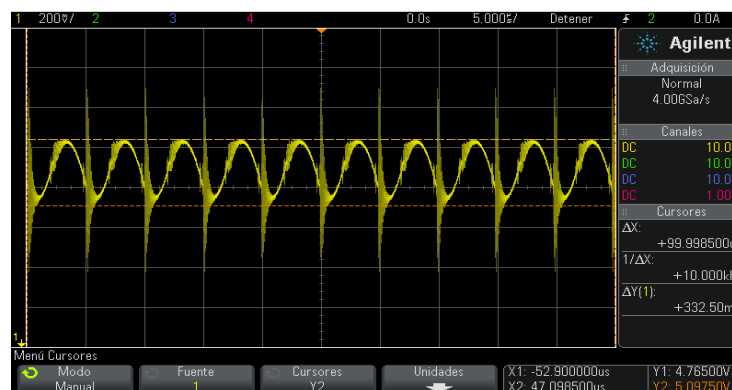


Figura 17. $V_{OUTppRIPPLE_TOTAL}$ condensador 6

A continuación en la Tabla 6 se recogen todas las medidas experimentales y se procede a calcular la ESR de cada uno de los condensadores con el uso de las ecuaciones 3.2.2, 3.2.3 y 3.2.4 y el cálculo previo del rizado de la corriente de salida, Figura 18.

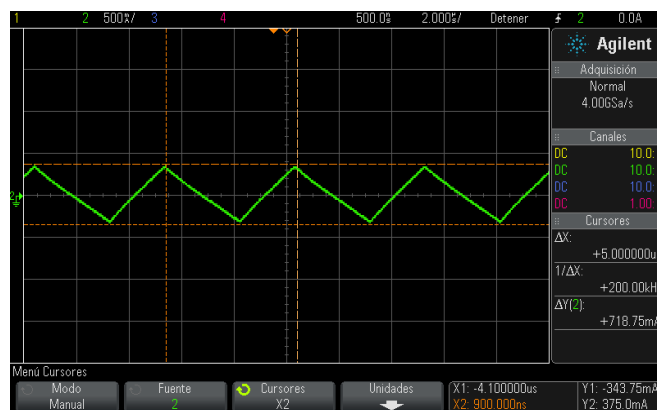


Figura 18. Rizado de la corriente de salida

	Rizado total medido	Rizado C	Rizado ESR	ESR
Condensador 1	893,75 mV	113,64 mV	886,49 mV	1,23 Ω
Condensador 2	775,00 mV	25 mV	774,59 mV	1,08 Ω
Condensador 3	357,50 mV	2,5 mV	357,49 mV	0,49 Ω
Condensador 4	180 mV	1,14 mV	179,99 mV	0,25 Ω
Condensador 5	262,50 mV	0,53 mV	262,49 mV	0,36 Ω
Condensador 6	332,50 mV	250 mV	219,22 mV	0,31 Ω

Tabla 6. Cálculo de la ESR de los condensadores

Se puede observar cómo de un condensador a otro varía tanto el rizado debido a la ESR como el rizado debido a la capacidad, por ejemplo en el caso del condensador 1 domina el rizado debido a la ESR observándose así en la Figura 12 una forma de onda triangular, mientras que para el condensador 6 domina el rizado debido a la capacidad observándose entonces, Figura 17, en una forma de onda más sinusoidal.

Es decir en todos los electrolíticos domina la ESR pero debido a que los condensadores cerámicos de decenas-cientos de μF son muy caros la elección se hace por la ESR más que por la capacidad.

Se concluyó por tanto que el mejor resultado se obtuvo para el condensador 4 (220 μ F) ya que con éste se consiguió minimizar el rizado.

3.3. DISEÑO DE LA CARGA DEL CIRCUITO

Antes de pasar a elegir los componentes que se compraron para la implementación física del circuito, se procedió a diseñar la carga del reductor. El objetivo de este diseño fue poder utilizar una carga variable para hacer distintas pruebas una vez se hubiese construido el circuito.

Como se ve en la Figura 19, esta carga consta de 8 resistencias en paralelo acompañadas (todas salvo una), de un interruptor con el fin de poder poner más o menos resistencias en paralelo.

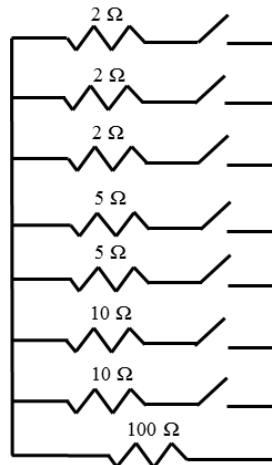


Figura 19. Esquema de la carga del reductor

Así por tanto con este diseño se puede obtener entre muchas otras combinaciones los siguientes valores de carga:

Resistencias	Valor	Potencia para 5 V
Nada en paralelo (100 Ω)	100 Ω	0,25 W
100 Ω // 10 Ω	9,091 Ω	2,75 W
100 Ω // 10 Ω // 5 Ω	3,226 Ω	7,75 W
100 Ω // 5 Ω // 5 Ω	2,439 Ω	10,25 W
100 Ω // 2 Ω	1,961 Ω	12,75 W
100 Ω // 2 Ω // 2 Ω	0,999 Ω	25,03 W
Todo en paralelo	0,474 Ω	52,74 W

Tabla 7. Algunos valores de la carga del reductor

Como se observa, esta carga permite manejar potencias entre 0,25 W y 0,527 W para $V_{OUT}=5$ V.

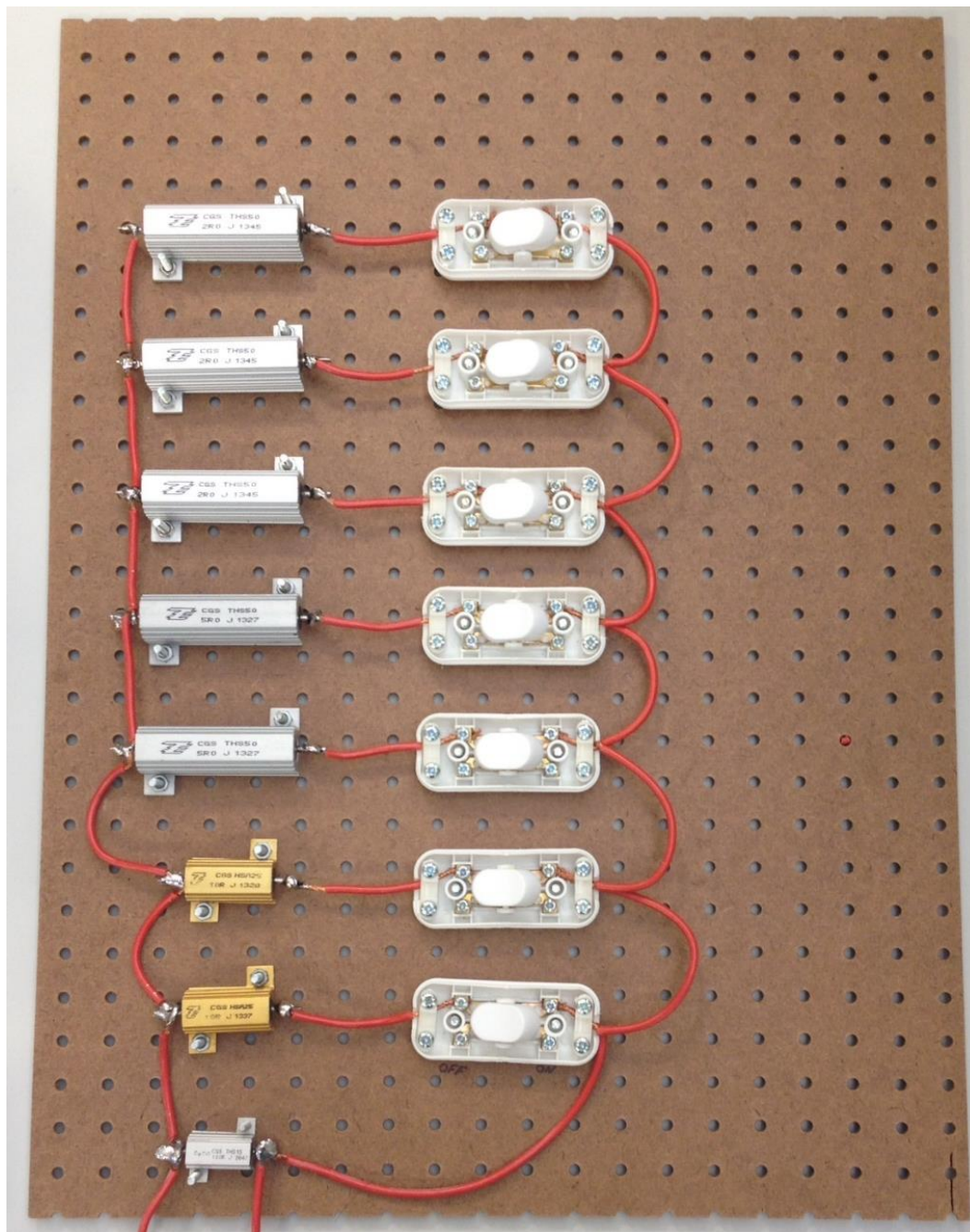


Figura 20. Carga del reductor construida

3.4. ELECCIÓN DE COMPONENTES COMERCIALES

La estrategia que se ha seguido a la hora de elegir los componentes comerciales fue partir de lo más compacto a lo menos compacto, es decir, la primera idea que surgió a la hora de construir este reductor multifase fue elegir un chip con todo integrado, como por ejemplo los disponibles en *Texas Instruments* tales como el modelo TPS54020 el cual es un componente SMD de dimensiones 3.5 mm x 3.5 mm y está definido como un “Reductor síncrono de 10A y una tensión de entrada de 4.5 V a 17 V”. El porqué de no elegir éste directamente fue debido a que se pretendía obtener un aprendizaje en la elección de componentes, y tener algo modulable que se pudiese cambiar y personalizar.

Continuando con el criterio de partir de lo más compacto, se valoró utilizar por un lado un *Power Stage* en el que se conseguía tener en un mismo encapsulado un *mosfet* (o dos) y el *driver* como por ejemplo el disponible en *Texas Instrument* como el modelo CSD95375Q4M y posteriormente se elegirían por separado los demás componentes. El problema fue que este tipo de encapsulado era demasiado pequeño para soldarlo manualmente y la única manera de soldarlo hubiese sido enviarlo a una empresa para que se encargase de ello. Esto no era el objetivo del trabajo fin de grado ya que se quería hacer algo personalizable y posteriormente realizar medidas de una forma sencilla. Por lo tanto se optó por elegir los *mosfet* y los *drivers* por separado.

Para la elección de cada uno de los componentes se buscó en dos de los principales distribuidores de componentes electrónicos, Farnell y RS procediendo a hacer una comparativa entre ambos, procurando hacer tan solo un pedido. Para ello se atendió a si estaban o no en stock, en la cantidad mínima de compra (en caso de haberla) y en el precio.

3.4.1. ELECCIÓN DEL DRIVER

Ref.Fabricante	Ref.Rs Precio	Ref. Farnell Precio	Encapsulado	V _{IH}	V _{IL}	Tiempo propagación
TPS2833D (Texas instruments)	X	1755424 2,99 €	SOIC (8 pines)	0,7 V (min)	1 V (max)	T _{ON} =80 ns T _{OFF} =130 ns
INTERIR2181SPBF (International Rectifier)	784-0259 4,32 €	1023244 4,61 €	SOIC (8 pines)	2,7 V (min)	0,8 V (max)	T _{ON} =180 ns T _{OFF} =220 ns

Tabla 8. Drivers posibles para elegir

Siendo V_{IH} el voltaje necesario de entrada para que se interprete nivel alto('1'), V_{IL} el voltaje necesario de entrada para se que interprete nivel bajo ('0').

Se decidió elegir el segundo modelo ya que si observamos las figuras que se adjuntan en los *datasheet* resultaba más interesante que a diferencia del primer driver, Figura 21, en el segundo driver, Figura 22, la entrada lógica HIN para la salida HO hacia el *mosfet* superior, y la entrada lógica LIN para la salida LO hacia el *mosfet* inferior, se hiciesen de manera independiente, pudiendo controlar el tiempo muerto entre ambas y así probar para qué valor se obtenían mejores resultados experimentales.

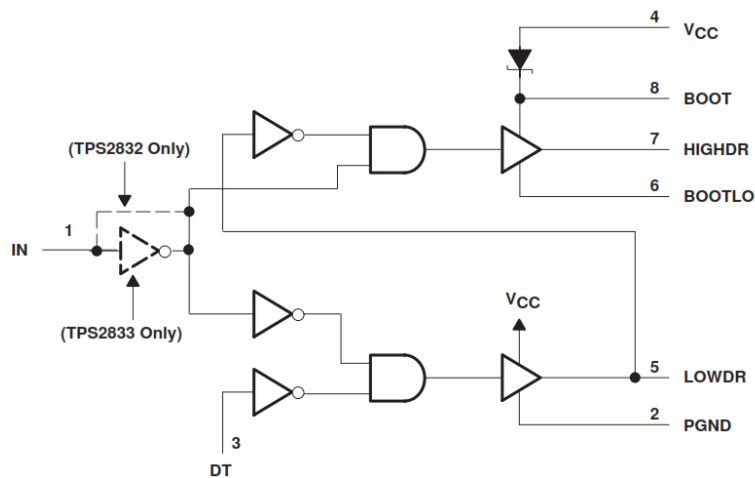


Figura 21. Conexiones driver 1

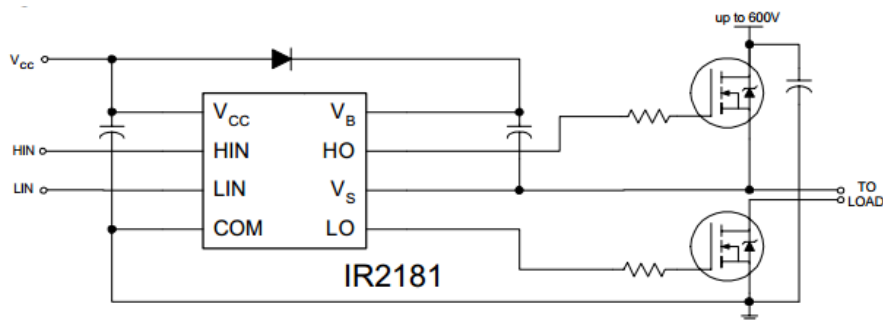


Figura 22. Conexiones driver 2

3.4.2. ELECCIÓN DEL DIODO DEL CIRCUITO DE BOOSTRAP

Como se vio en la Figura 6, la topología del reductor no tiene ningún diodo, pero como se acaba de ver en el apartado anterior, la elección del *driver* conlleva la utilización de un diodo, en el *datasheet* no se hacía ninguna especificación acerca de las características que éste debía de tener. Por lo tanto se decidió utilizar un modelo disponible en el laboratorio.

3.4.3. ELECCIÓN DE LOS MOSFET

Ref.Fabricante	Ref.Rs Precio	Ref. Farnell Precio	Encapsu -lado	V_{DS}	V_{GS}	t_{on}	t_{off}	R_{DS}	I
Si4410DYPbF (International Rectifier)	541-2414 1,42 €	2097997 1,46 €	SOIC (8 pines)	30 V	1 V	11 ns	38 ns	0,0135 Ω	10A
IRF7855PBbF (International Rectifier)	688-6881 1,40€	1436948 1,09 €	SOIC (8 pines)	60 V	4,9 V	8,7 ns	16 ns	0,009 Ω	12 A
STP36NF06 (STMicroelectronic)	486-2262 0,442 €	2098320 0,76 €	TO-220	60 V	4 V	10 ns	27 ns	0,040 Ω	30 A
NTD3055L104T4G (Onsemiconductor)	463-325 0,538 €	X	DPAK	60 V	1,6V	9,2 ns	19 ns	0,1040 Ω	12 A

Tabla 9. Mosfet posibles para elegir

Siendo, V_{DS} la tensión drenador fuente, V_{GS} la tensión de la puerta a la fuente, t_{on} el tiempo de retardo de encendido, t_{off} el tiempo retardo de apagado, R_{DS} la resistencia que aparece entre el drenador y la fuente e I la corriente continua máxima a través del drenador, se decidió elegir la segunda opción, Tabla 9, ya que tenía tanto el t_{on} y t_{off} como la R_{DS} menor.

3.4.4. ELECCIÓN DE LA BOBINA

Tal como se verá más adelante, en el reductor hay numerosas pérdidas, como por ejemplo las pérdidas de conmutación, las pérdidas debidas a los *mosfet* y también las pérdidas debidas a la bobina. En el caso concreto de la bobina las pérdidas dependen tanto de la corriente que la atraviesa como de su resistencia, tal como se ve en la siguiente ecuación:

$$P_L = I_{RMS_L}^2 \cdot R_L \quad (3.4.1)$$

Siendo L la inductancia de la bobina, R_{DC} la resistencia que ofrece la bobina, I_{SAT} la corriente máxima que soporta, f la frecuencia máxima que soporta y la tolerancia la desviación sobre el valor nominal, para minimizar las pérdidas en la bobina se eligió la segunda opción, Tabla 10, ya que pese a ser muy similar a la tercera opción ésta no estaba disponible en los dos distribuidores.

Ref.Fabricante	Ref.Rs Precio	Ref. Farnell Precio	Encapsu- lado	L	Tolerancia	RDC (Typ)	ISAT	f
IHLP6767GZER220M 01 (Vishay)	748-7568 3,28 €	1741422 4,59 €	SMD	22 uH	±20 %	25,1 mΩ	23 A	2 Mhz
74435572200 (Würth Elektronik)	736-2093 4,75 €	1869771 4,91 €	SMD	22 uH	±20 %	14,6 mΩ	11 A	10,5 Mhz
1422311C (Murata)	X	1077056 4,8 3€	Radial	22 uH	±15 %	14 mΩ	11 A	9,3 Mhz

Tabla 10. Bobinas posibles para elegir

3.4.5. ELECCIÓN DE LOS CONDENSADORES DE LOS DRIVERS.

Tal como se ha explicado en el apartado 3.2.1, el condensador de salida C_{OUT} se ha hallado de forma experimental por lo que no hubo que contemplarlo a la hora de hacer el pedido. Sin embargo cuando se eligieron, apartado 3.4.1, los *drivers* para el reductor, en el *datasheet* del *driver* seleccionado se especificaba que eran necesarios dos condensadores para cada driver, Figura 22, uno que junto con una resistencia se utilizaría como circuito de *bootstrap*, necesario para mantener una tensión de referencia entre los dos pines, y el otro para usarlo como condensador de desacoplo.

Ref.Fabricante	Ref.Rs Precio	Ref. Farnell Precio	Encapsulado	C	V _{MAX}	Tolerancia
EEEF1H1R0R (Panasonic)	537-0253 0,178€	9694528 0,091€	SMD (radial)	1 uF	6,3-50 V	±20%
ECA2AHG010 (Panasonic)	365-4436 0,15€	9693092 0,166€	Radial	1 uF	6,3-100 V	±20%
C330C105M5U5TA (Kemet)	538-1578 0,596€	2112943 0,36€	“Lenteja”	1 uF	50 V	±20%

Tabla 11. Condensadores posibles para elegir

Siendo C la capacidad del condensador y V_{MAX} la tensión máxima que puede soportar el condensador, se decidió usar, para el circuito de *bootstrap* el primer condensador de la tabla mientras que como condensador de desacoplo se decidió utilizar uno disponible en el laboratorio de capacidad igual a 330 nF.

3.4.6. ELECCIÓN DE LA RESISTENCIA DEL CIRCUITO DE BOOSTRAP

Tal como acabamos de concluir en el punto anterior, para el circuito de *bootstrap* fue necesario usar una resistencia.

Ref.Fabricante	Ref.Rs Precio	Ref. Farnell Precio	Encapsulado	R	P	V _{MAX}	Tolerancia
CFR16J1M0 (TE connectivity)	136-058 0,087€	2329490 0,027€	Axial	1MΩ	0,25 W	200 V	±5%
ROX1SJ1M0 (TE connectivity)	214-3159 0,099€	1961761 0,092€	Axial	1MΩ	1 W	350 V	±5%

Tabla 12. Resistencias posibles para elegir.

Siendo R el valor de la resistencia, P la potencia que puede soportar y V_{MAX} la tensión máxima que puede soportar, a pesar de que las dos opciones eran válidas se optó elegir la primera puesto que no era necesario que soportase tanta potencia y tenía un precio más competitivo.

3.4.7. RESISTENCIAS PARA EL CIRCUITO DE CARGA

Siendo R el valor de la resistencia y P la potencia que podían soportar, se decidió elegir las últimas, Tabla 13, puesto que la mayor parte del pedido se iba a realizar a RS.

Cabe mencionar que la elección de estas resistencias están muy sobredimensionado en cuanto a potencia se refiere ya que si se atiende al diseño del circuito de carga, apartado 3.3, se puede observar como los valores de potencia eran mucho menores a los de las resistencias seleccionadas, esto se hizo adrede para evitar el calentamiento que inevitablemente que éstas sufren.

Ref.Fabricante	Ref.Rs Precio	Ref. Farnell Precio	R	P
THS502R0J (TE CONNECTIVITY)		1259466 2,00€	2 Ω	50 W
THS505R0J (TE CONNECTIVITY)		1259472 4,19€	5 Ω	50 W
HSA2510RJ (TE CONNECTIVITY)		2009314 2,84€	10 Ω	25 W
THS15100RJ (TE CONNECTIVITY)		1259368 1,90€	100 Ω	15 W
HS50 2R J (Arcol)	252-2811 3,29€		2 Ω	50 W
HS50 5R J (Arcol)	158-468 3,29€		5 Ω	50 W
HS25 10R J (Arcol)	157-550 2,88€		10 Ω	25 W
HS15 100R J (Arcol)	159-792 2,31€		100 Ω	15 W

Tabla 13. Resistencias de potencia posibles para elegir

Por último, fue necesario comprar tanto las tiras de pines como los bloques terminales ya que no se disponía de ellos en el laboratorio.

3.4.8. TIRA DE PINES

Ref.Fabricante	Ref.Rs Precio	Ref. Farnell Precio	Vías
W35532TRC	267-7416, 1,132€		24
1-1814655-1	681-132, 1,02€	1218869 1,02€	16

Tabla 14. Tira de pines posibles para elegir

Siendo el número de vías el número de contactos eléctricos y debido a que la compra mínima era de 5, se eligió el que tenía menos.

3.4.9. BLOQUES TERMINALES

Ref.Fabricante	Ref.Rs Precio	Ref. Farnell Precio	Pitch	Vías	I	V
20020316-G021B01LF (FCI)	707-5543 0,49€	2329490 0,027€	5,00 mm	2	16 A	300 V
MKDS 1,5/2 (PHOENIX CONTACT)		1961761 0,092€	5,00 mm	2	17,5 A	320 V

Tabla 15. Bloques terminales posibles para elegir

Siendo el pitch, la separación entre los pines, las vías el número de contactos eléctricos, I la corriente máxima que podía soportar y V la tensión máxima que podían soportar, se decidió usar la segunda opción puesto que soportaba más corriente y tensión.

3.5. EL PORQUÉ DE 4 FASES

El principal motivo de decidir utilizar cuatro fases en lugar de una fue el deseo de disminuir los rizados tanto de la tensión como de la corriente de salida.

3.5.1. DISPAROS DESFASADOS, *INTERLEAVING*

Para conseguir que el rizado de la corriente de salida sea lo menor posible se necesita usar más de una fase. Si bien es cierto que el rizado de la corriente que atraviesa la bobina no es despreciable, éste se puede compensar con los rizados de las corrientes que atraviesan las bobinas de otras fases y así a la salida obtener a la salida un rizado muy pequeño.

Para que los rizados se compensen y no se sumen es necesario que las señales de disparo estén desfasadas. Como se observa en la Figura 23, para el caso de dos fases, con un ciclo de trabajo del 50% y suponiendo el caso ideal en el que las corrientes que atraviesan cada fase son iguales, se observa como el rizado de la señal de salida es nulo gracias al desfase de las señales de disparo.

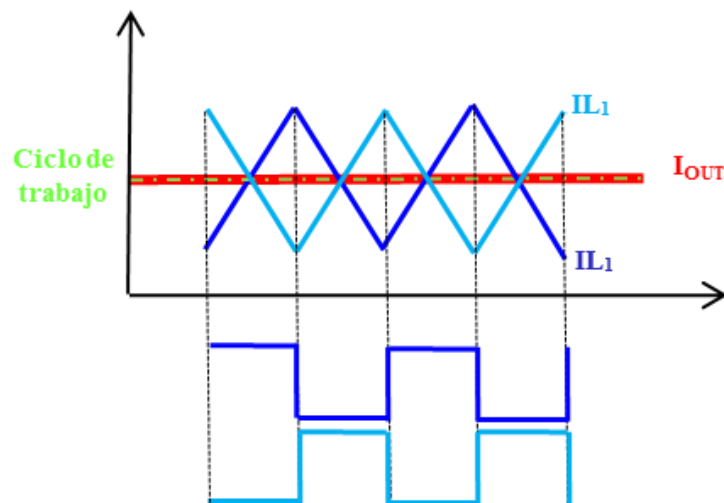


Figura 23. Desfase de las señales de disparo

Por lo tanto para el caso de cuatro fases, las señales de disparo deben de estar desfasadas 0° , 90° , 180° y 270° .

Debido a que la corriente de salida no se pudo medir de forma experimental ya que no hay cable en el circuito por donde pase toda la corriente de las 4 fases antes de ir al condensador, se procedió a hacer una simulación en VHDL del modelo ideal del reductor multifase.

En esta simulación se prestó especial atención a las corrientes que atravesaban la bobina de cada fase y a la corriente total de salida, suma de las cuatro anteriores.

Así se puede observar Figura 23 y Figura 26 cómo pese a que los rizados que atraviesan cada bobina no son despreciables se compensan unos con otros dando a la salida un rizado de corriente muy pequeño.

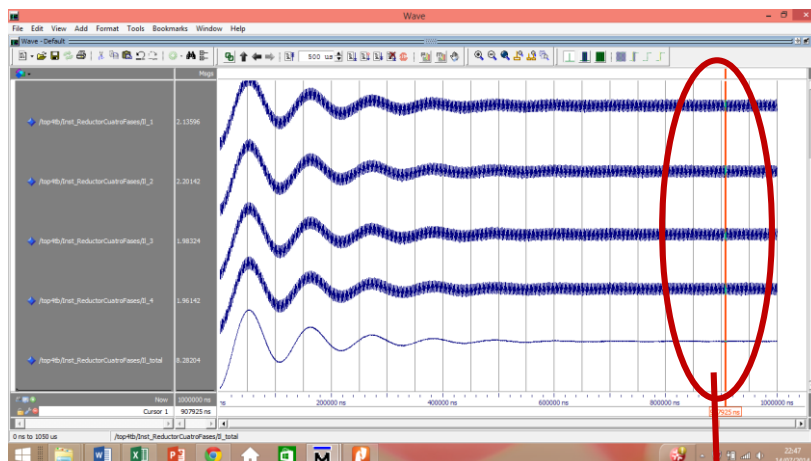


Figura 24. Corrientes que atraviesan a las bobinas y corriente total

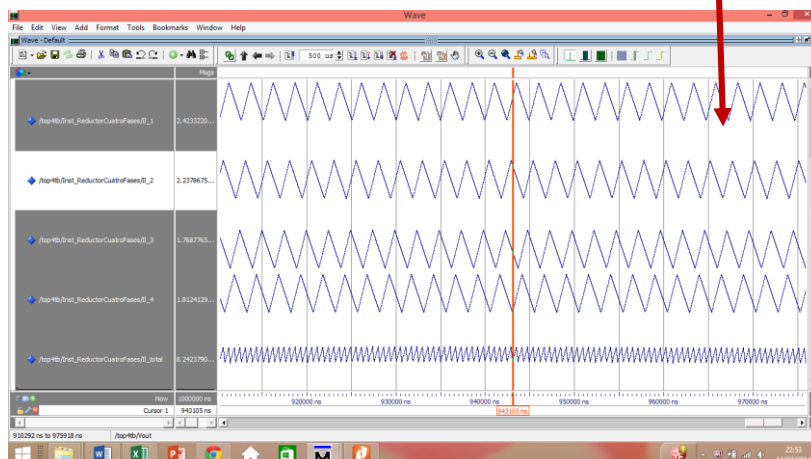


Figura 25. Detalle de las corrientes.

En cuanto al rizado de la tensión de salida, éste si se pudo medir de forma experimental, por lo tanto una vez que el circuito estuvo construido se realizó la siguiente prueba .En primer lugar se disparó tan solo una fase y se pasó a medir el rizado de la tensión de salida. Posteriormente se dispararon cuatro fases y en las mismas condiciones se tomó la misma medida, tal como se muestra en la Figura 26 y Figura 27.

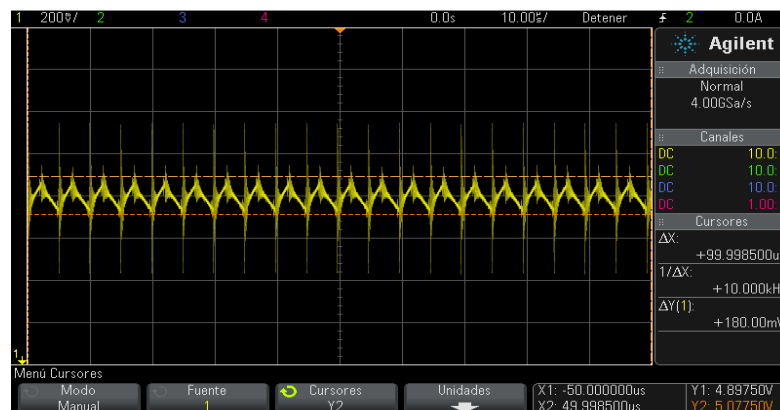


Figura 26. Rizado tensión de salida, una fase, 180 mV

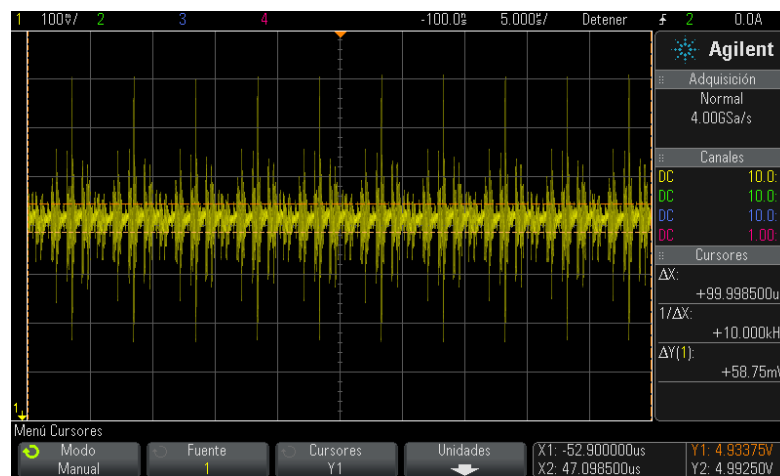


Figura 27. Rizado tensión de salida, cuatro fases, 58.75 mV

Se puede observar cómo efectivamente el rizado de la tensión de salida al disparar las cuatro fases, 58,75mV, se redujo considerablemente frente al rizado que se obtenía al disparar una sola fase, 180 mV.

4. CONSTRUCCIÓN DEL REDUCTOR

Una vez se diseñó el circuito multifase, se calcularon los valores de los componentes que se iban a utilizar y se adquirieron estos mismos, se procedió diseñar el circuito impreso (*printed circuit board*, PCB).

4.1. ESQUEMÁTICO

En primer lugar se diseñó el esquemático, Figura 28, Figura 29. Cabe mencionar que este esquemático no es el correspondiente a la versión que se utilizó para la construcción del circuito, puesto que en esa versión había una errata. También se ha procedido a hacer alguna mejora tras realizar diversas pruebas al circuito. Estas diferencias se detallan a continuación:

- Se procedió a conectar a masa el pin 3 de los drivers. En la primera versión no se hizo esta conexión, por lo que el problema se solucionó haciendo una vía para conectar este pin con el plano de masa.
- Tras medir la tensión de entrada al reductor procedente de la salida del generador de tensión y corriente que se utilizó para realizar las pruebas (modelo N6705A *Agilent Technologies*) se observó que la tensión tenía mucho rizado, por lo que se consideró oportuno utilizar dos condensadores de desacoplo, uno para la alimentación general y otro para la alimentación de los drivers. Por lo tanto en este esquemático ya se incluyen dos tiras de pines para estos dos condensadores.

Por otro lado, es necesario mencionar que en el esquemático se observan 4 resistencias llamadas “MedirCorriente1”, “MedirCorriente2”, “MedirCorriente3” y “MedirCorriente4”. Estos elementos en realidad no son resistencias, sino que se creó un *footprint* específico con forma de resistencia muy alargada con el fin de dejar espacio suficiente para un cable, el cual sirvió posteriormente para medir la corriente que pasaba por cada fase.

También cabe destacar, la utilización de distintos *test points* repartidos por el PCB. Éstos se utilizaron para poder realizar, de una manera más cómoda, distintas medidas sobre señales importantes, como masa, V_{IN} o V_{OUT} .

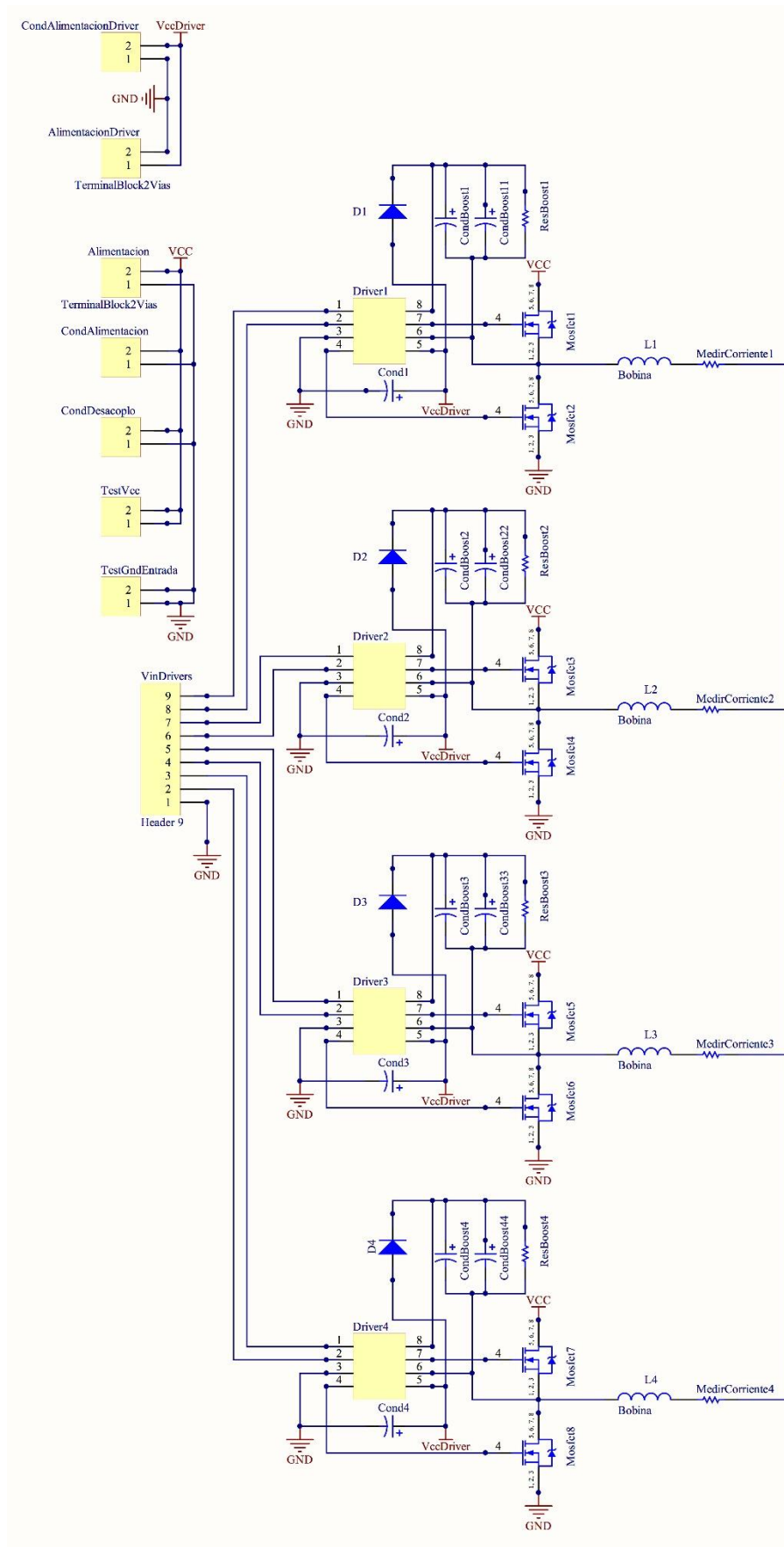


Figura 28. Esquemático 1/2

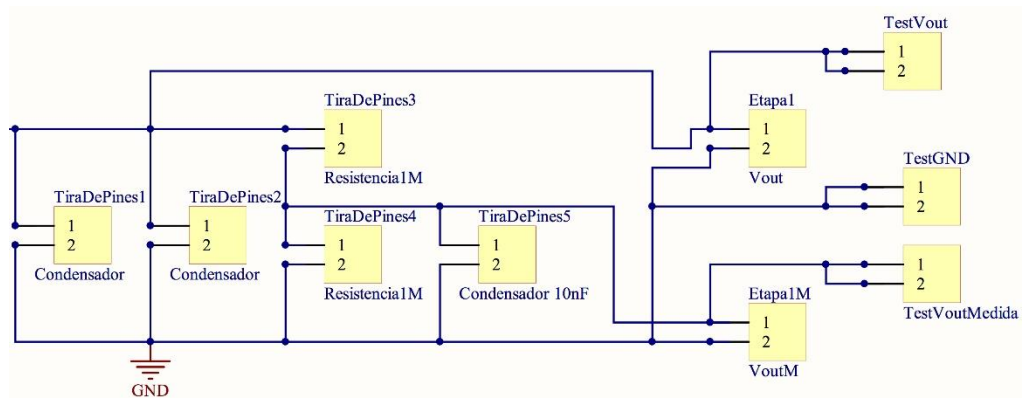


Figura 29. Esquemático 2/2

4.2. RUTADO

Una vez se finalizó el diseño del esquemático, se procedió a rutar el circuito impreso. Para este proceso se tuvieron en cuenta los siguientes aspectos:

- Como se observa en la Figura 30, se optó por utilizar dos capas, una de ellas convertida en plano de masa.
- Se evitó hacer un uso excesivo de vías siempre que fuera posible.
- Se trató de situar la alimentación más o menos en el centro del circuito, intentando que la tensión llegase a las cuatro fases por rutas similares para no influir en el equilibrio de corrientes.
- Se situó el *driver* y los *mosfet* lo más cerca posible para tratar de evitar retardos debido a la distancia entre ambos y sobre todo para evitar ruidos y condensadores parásitos en la conmutación que provocan pérdidas. En los convertidores conmutados es crítico situar muy cerca entre si los dispositivos que hacen de interruptores.

- Se rutaron las 4 fases de forma muy similar, para que los resultados de las pruebas no se viesen influidas por longitudes de pistas muy diferentes.
- Se puede observar cómo en las cuatro esquinas se hicieron 4 agujeros, para poder dotar al circuito de 4 soportes que lo mantuviesen un poco alejado de la superficie y así proveerlo de cierta ventilación evitando su calentamiento.

Por otro lado, al igual que ocurrió en el apartado anterior con el esquemático, esta versión de rutado del circuito impreso no es la que se utilizó para el circuito que está construido, ya que en esa versión hubo un error, y es que para las 3 últimas fases no se rutó el quinto pin del driver con el pin correspondiente al cátodo del diodo. Este error queda solucionado en esta versión tal como se puede observar en la Figura 30 mientras que en el circuito construido se solucionó con la soldadura de los dos pines mediante un fino cable de *wrapping*.

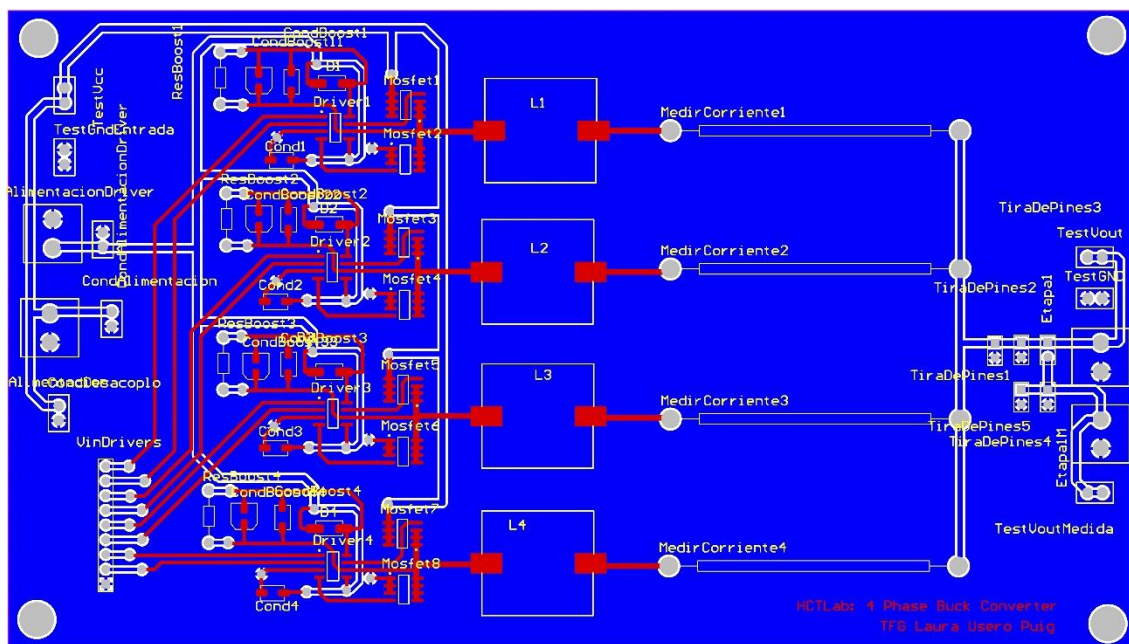


Figura 30. Rutado del circuito

4.3. CONSTRUCCIÓN

Una vez se terminó el rutado, se procedió a generar los archivos necesarios para la construcción del circuito (*gerber files*, *drill files*). La fabricación del circuito se hizo en el taller de la EPS utilizando la fresadora.

Como se aprecia en la Figura 31 se utilizó la técnica de *rubout*, técnica que consiste en eliminar de una zona determinada todo el cobre, salvo el de los *pads*. Se decidió utilizar en la parte izquierda del circuito, para así facilitar la soldadura en esta zona.

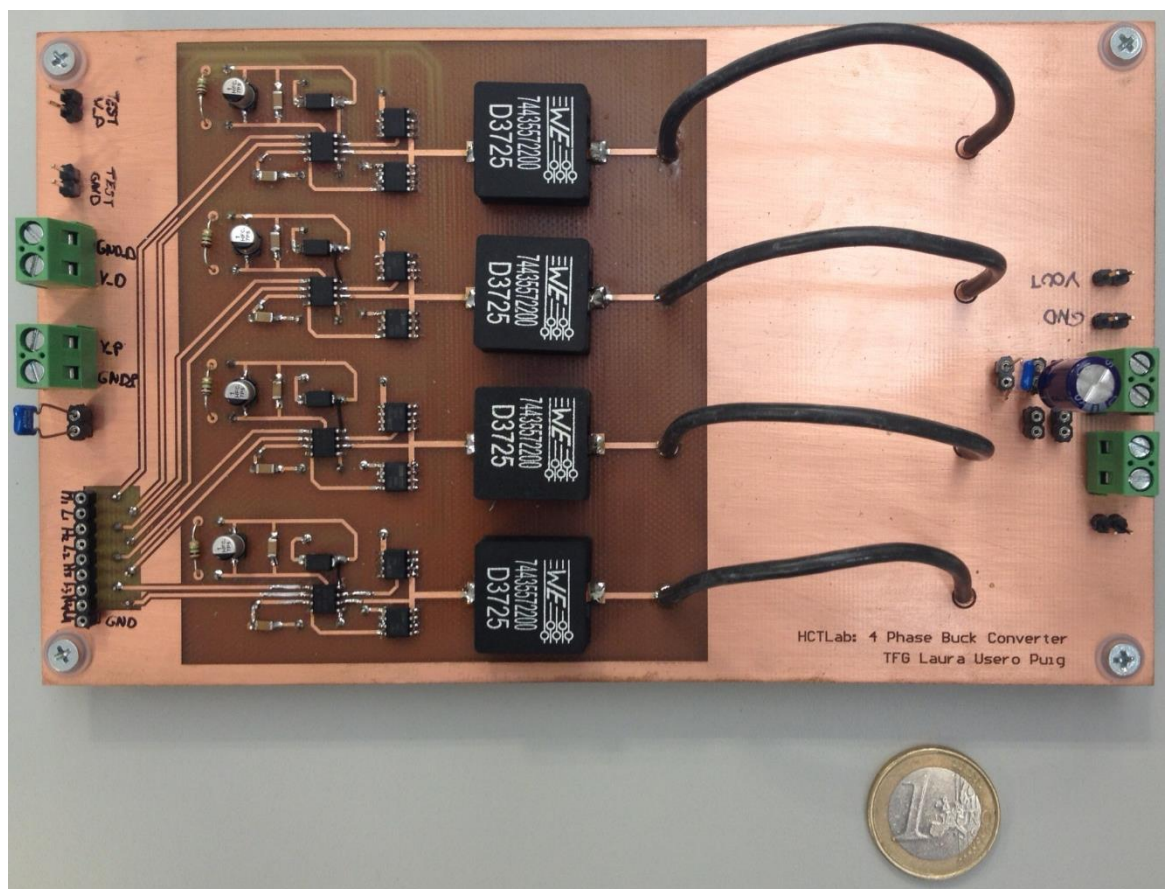


Figura 31. Circuito construido

5. PRUEBAS

En este apartado se han realizado una batería de pruebas con el fin de analizar, evaluar y sacar conclusiones acerca del comportamiento del reductor construido.

5.1. DISPOSICIÓN DEL CIRCUITO PARA TOMAR MEDIDAS

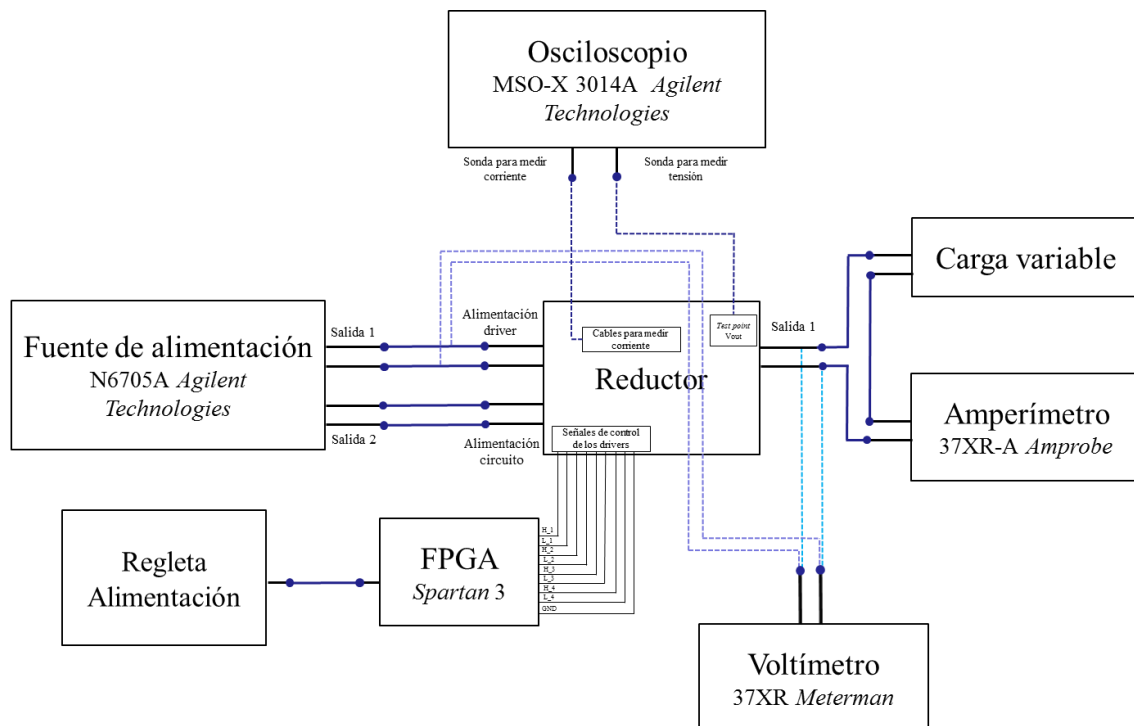


Figura 32. Disposición del circuito para tomar medidas

Como se observa en la Figura 32, el reductor quedó conectado a numerosos elementos, todos ellos necesarios tanto para alimentar y estimular el circuito (fuente de alimentación y la *FPGA*) como para medir los parámetros más representativos (voltímetro, amperímetro y osciloscopio).

También se conectó a la carga variable, cuyo uso y disposición fue explicado en este documento en el apartado 3.3.

En todas las medidas realizadas se han utilizado los mismos elementos, para asegurar unas conclusiones lo más verídicas posibles, dentro de las limitaciones de cada uno de los dispositivos.

5.2. PÉRDIDAS DEL CIRCUITO

Antes de comenzar a tomar medidas, se debe tener presente que cuando se calcula el rendimiento de un circuito no se deben obviar las pérdidas que éste sufre. A continuación se detallan las pérdidas que se han tenido en cuenta a la hora de calcular la eficiencia teórica que debía de tener el reductor [6], [7].

5.2.1. PÉRDIDAS EN LA BOBINA

Las pérdidas de la bobina vienen dadas por la siguiente ecuación:

$$P_L = (I_{OUT}^2 + \frac{\Delta I_{OUT}^2}{12}) \cdot R_L \quad (5.1.1)$$

Siendo ΔI_{OUT} el rizado de la corriente de salida.

5.2.2. PÉRDIDAS DE CONMUTACIÓN

$$P_{CONMUTACIÓN} = \frac{V_{IN} \cdot I_{OUT}}{2} \cdot (t_{RISE} + t_{FALL}) \cdot f_{SW} \quad (5.1.2)$$

Siendo t_{RISE} y t_{FALL} el tiempo de subida y bajada de los *mosfet*, y f_{SW} la frecuencia de conmutación

5.2.3. PÉRDIDAS EN EL MOSFET SUPERIOR

Las pérdidas del *mosfet* superior vienen dadas por la siguiente ecuación:

$$P_{MOSFET_SUPERIOR} = \frac{V_{OUT}}{V_{IN}} \cdot R_{DSon} \cdot (I_{OUT}^2 + \frac{\Delta I_{OUT}^2}{12}) \quad (5.1.3)$$

Siendo R_{DS} la resistencia que ofrece el *mosfet*, tal como se explicó en el apartado 3.4.3.

5.2.4. PÉRDIDAS EN EL MOSFET INFERIOR

Las pérdidas del *mosfet* inferior se pueden aproximar mediante dos ecuaciones, la primera de ellas:

$$P_{\text{MOSFET_INFERIOR}} = \left(1 - \frac{V_{\text{OUT}}}{V_{\text{IN}}}\right) \cdot R_{\text{DSon}} \cdot \left(I_{\text{OUT}}^2 + \frac{\Delta I_{\text{OUT}}^2}{12}\right) \quad (5.1.4)$$

No contempla el tiempo muerto entre la activación del *mosfet* superior y del *mosfet* inferior, sin embargo en siguiente ecuación sí se tiene en cuenta:

$$P_{\text{MOSFET_INFERIOR}} = \left(1 - \frac{V_{\text{OUT}}}{V_{\text{IN}}}\right) \cdot R_{\text{DSon}} \cdot \left(I_{\text{OUT}}^2 + \frac{\Delta I_{\text{OUT}}^2}{12}\right) + (2 \cdot t_{\text{DEADTIME}} \cdot I_{\text{OUT}} \cdot f_{\text{SW}} \cdot V_{\text{DB_F}}) \quad (5.1.5)$$

Siendo $V_{\text{DB_F}}$ el voltaje del diodo antiparalelo del *mosfet*.

5.3. GENERACIÓN DE TIEMPOS MUERTOS EN LAS SEÑALES PWM

A la hora de generar las señales *PWM* que van al *driver* y posteriormente activan los disparos tanto del *mosfet* superior como del *mosfet* inferior, se decidió dejar un tiempo muerto entre ambos, es decir, que la transición entre activar el *mosfet* superior y desactivar el inferior y viceversa no se hiciese de forma simultánea, tal como se muestra en la Figura 33, y así evitar un cortocircuito entre ellos.

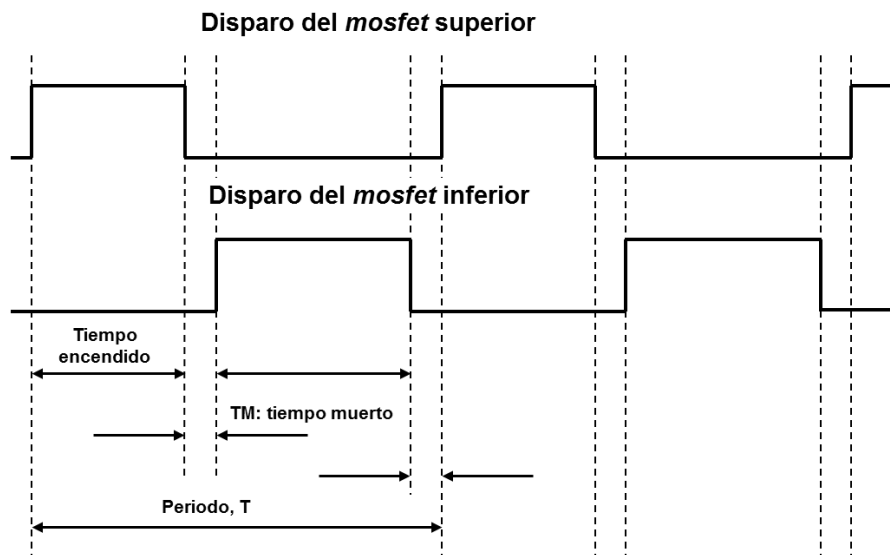


Figura 33. Definición de tiempo muerto

Ya que el reductor consta de 8 *mosfet*, se necesitaron 8 disparos distintos para activar cada uno de ellos. Se procedió por tanto a realizar un código específico para programar la *FPGA*, la cual como se muestra en la Figura 32 quedaba conectada al reductor.

La base teórica que se utilizó en este código fue la siguiente:

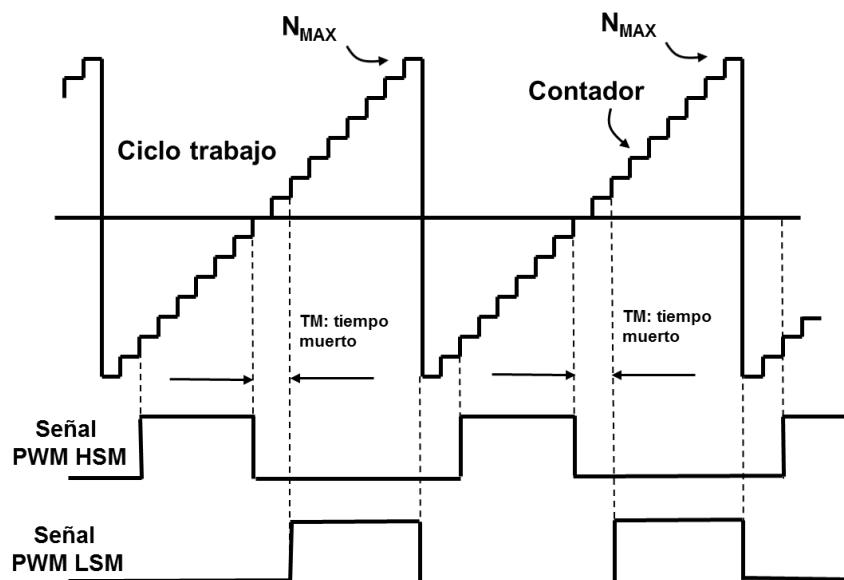


Figura 34. Contador para la creación de la señal PWM

Tal como se observa en la Figura 34, se hace uso de un contador. Este valor del contador se compara con el ciclo de trabajo especificado y así se decide si la señal PWM HSM debe ponerse a 0 o a 1. El LSM es a señal complementaria salvo los tiempos muertos.

El valor máximo del contador viene fijado tanto por la frecuencia del reloj como por la frecuencia de conmutación, ya que se calculaba de la siguiente manera:

$$N_{MAX} = \frac{f_{CLK}}{f_{SW}} \quad (5.3.1)$$

5.4. PRUEBAS CON UNA FASE

Esta batería de pruebas, en la que solo disparó una fase, se realizó con el fin, de decidir con qué tiempo muerto, 20 ns, 40 ns u 80 ns, y con qué frecuencia se obtenían mejores rendimientos.

Se realizaron las siguientes pruebas:

- Frecuencia de conmutación igual a 100 kHz con tiempos muertos igual a 20 ns, 40 ns y 80 ns. Tabla 16, Tabla 17 y Tabla 18.
- Frecuencia de conmutación igual a 200 kHz con tiempos muertos igual a 20 ns, 40 ns y 80 ns. Tabla 19, Tabla 20 y Tabla 21.
- Frecuencia de conmutación igual a 400 kHz con tiempos muertos igual a 20 ns, 40 ns y 80 ns. Tabla 22, Tabla 23 y Tabla 24.

En primer lugar se midió el rizado de la corriente de salida para cada frecuencia, ya que éste era necesario para el cálculo de las pérdidas tal como se vio en el apartado 5.2, Figura 35, Figura 36 y Figura 37.

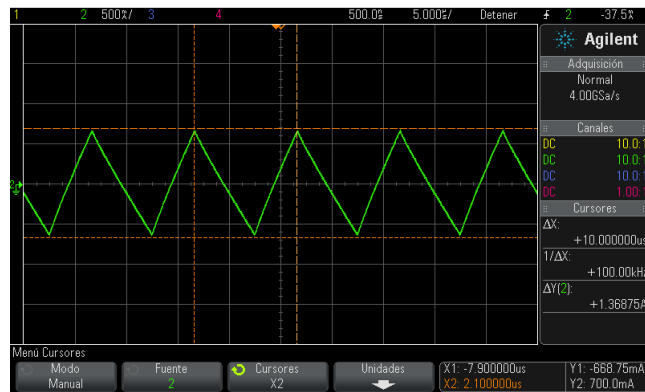


Figura 35. Rizado corriente de salida, 1,368 A, 1 fase, 100 kHz

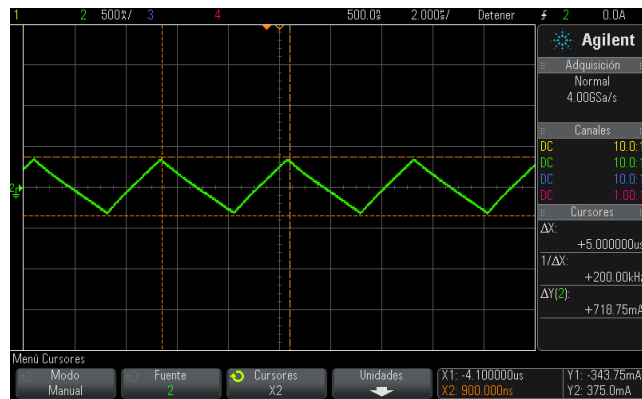


Figura 36. Rizado corriente de salida, 718,75 mV, 1 fase, 200 kHz

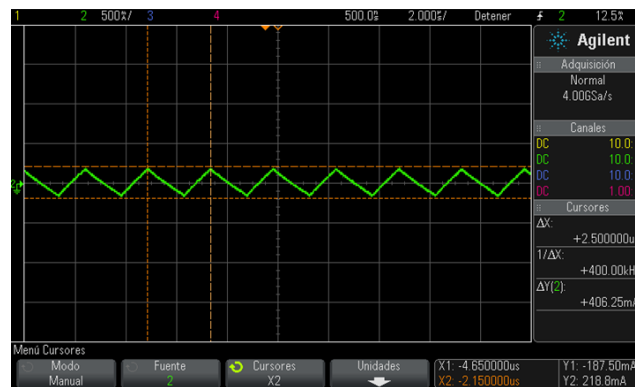


Figura 37. Rizado corriente de salida, 406,25 mV, 1 fase, 400 kHz

Duty Cycle	Carga Total Ω	V _{in} (V)	I _{in} (A)	P _{in} (W)	V _{out} (V)	I _{out} (A)	ΔI (A)	P _{out} (W)	Pérdidas medidas (W)	η medido	Pérdidas en la bobina (W)	Pérdidas HIGH-SIDE MOSFET (W)	Pérdidas LOW-SIDE MOSFET (W)	Pérdidas de conmutación (W)	Total pérdidas teóricas (W)	η teórico
41,176%	100,000	11,99	0,0375	0,450	5,027	0,049	1,368	0,246	0,203	54,784%	0,002	0,005	0,007	0,001	0,015	96,686%
41,961%	9,091	11,98	0,238	2,851	5,017	0,514	1,368	2,579	0,273	90,443%	0,006	0,013	0,020	0,008	0,046	98,374%
42,745%	4,762	11,97	0,4315	5,165	5,027	0,950	1,368	4,776	0,389	92,461%	0,015	0,033	0,048	0,014	0,111	97,858%
43,922%	2,439	11,95	0,805	9,620	5,014	1,755	1,368	8,800	0,820	91,474%	0,047	0,100	0,144	0,026	0,318	96,696%
44,314%	1,961	11,94	0,964	11,510	5,008	2,093	1,368	10,482	1,028	91,065%	0,066	0,141	0,201	0,031	0,439	96,186%
46,275%	0,990	11,9	1,726	20,539	4,997	3,616	1,368	18,069	2,470	87,973%	0,193	0,411	0,578	0,054	1,236	93,981%

Tabla 16. Medidas a 100 kHz, 20 ns, una fase

Duty Cycle	Carga Total Ω	V _{in} (V)	I _{in} (A)	P _{in} (W)	V _{out} (V)	I _{out} (A)	ΔI (A)	P _{out} (W)	Pérdidas medidas (W)	η medido	Pérdidas en la bobina (W)	Pérdidas HIGH-SIDE MOSFET (W)	Pérdidas LOW-SIDE MOSFET ⁽²⁾ (W)	Pérdidas de conmutación (W)	Total pérdidas teóricas (W)	η teórico
40,784%	100,000	11,99	0,036	0,432	5,009	0,049	1,368	0,245	0,186	56,862%	0,002	0,005	0,007	0,001	0,015	96,516%
41,961%	9,091	11,98	0,235	2,815	5,033	0,51	1,368	2,567	0,248	91,174%	0,006	0,013	0,021	0,008	0,047	98,318%
42,745%	4,762	11,97	0,432	5,171	5,023	0,954	1,368	4,792	0,379	92,669%	0,016	0,033	0,051	0,014	0,114	97,794%
43,922%	2,439	11,95	0,804	9,608	5,018	1,752	1,368	8,792	0,816	91,504%	0,047	0,100	0,148	0,026	0,322	96,651%
44,314%	1,961	11,94	0,948	11,319	5,018	2,056	1,368	10,317	1,002	91,147%	0,064	0,136	0,200	0,031	0,431	96,196%
46,275%	0,990	11,9	1,711	20,361	5	3,596	1,368	17,980	2,381	88,307%	0,191	0,407	0,582	0,053	1,233	93,944%

Tabla 17. Medidas a 100 kHz, 40 ns, una fase

Duty Cycle	Carga Total Ω	V _{in} (V)	I _{in} (A)	P _{in} (W)	V _{out} (V)	I _{out} (A)	ΔI (A)	P _{out} (W)	Pérdidas medidas (W)	η medido	Pérdidas en la bobina (W)	Pérdidas HIGH-SIDE MOSFET (W)	Pérdidas LOW-SIDE MOSFET ⁽²⁾ (W)	Pérdidas de conmutación (W)	Total pérdidas teóricas (W)	η teórico
40,392%	100,000	11,99	0,036	0,432	5,015	0,049	1,368	0,246	0,186	56,931%	0,002	0,005	0,007	0,001	0,015	96,452%
41,961%	9,091	11,98	0,235	2,815	5,034	0,509	1,368	2,562	0,253	91,014%	0,006	0,013	0,024	0,008	0,050	98,221%
42,745%	4,762	11,965	0,4357	5,213	5,023	0,956	1,368	4,802	0,411	92,113%	0,016	0,033	0,057	0,014	0,120	97,702%
43,922%	2,439	11,94	0,815	9,731	5,013	1,78	1,368	8,923	0,808	91,697%	0,049	0,103	0,163	0,027	0,341	96,495%
44,314%	1,961	11,935	0,956	11,410	5,007	2,077	1,368	10,400	1,010	91,145%	0,065	0,139	0,215	0,031	0,450	96,054%
46,275%	0,990	11,89	1,715	20,391	4,995	3,603	1,368	17,997	2,394	88,258%	0,192	0,408	0,604	0,054	1,258	93,831%

Tabla 18. Medidas a 100 kHz, 80 ns, una fase

Duty Cycle	Carga Total Ω	V _{in} (V)	I _{in} (A)	P _{in} (W)	V _{out} (V)	I _{out} (A)	ΔI (A)	P _{out} (W)	Pérdidas medidas (W)	η medido	Pérdidas en la bobina (W)	Pérdidas HIGH-SIDE MOSFET (W)	Pérdidas LOW-SIDE MOSFET (W)	Pérdidas de conmutación (W)	Total pérdidas teóricas (W)	η teórico
40,784%	100,000	11,99	0,033	0,396	5,022	0,049	0,718	0,246	0,150	62,193%	0,001	0,001	0,002	0,001	0,006	98,544%
41,569%	9,091	11,98	0,231	2,767	5,01	0,505	0,718	2,530	0,237	91,424%	0,004	0,009	0,016	0,015	0,044	98,397%
42,353%	4,762	11,97	0,429	5,135	5,007	0,95	0,718	4,757	0,378	92,630%	0,014	0,029	0,046	0,028	0,118	97,712%
43,529%	2,439	11,95	0,796	9,512	5,003	1,744	0,718	8,725	0,787	91,727%	0,045	0,096	0,142	0,052	0,335	96,477%
43,922%	1,961	11,94	0,944	11,271	4,999	2,06	0,718	10,298	0,973	91,364%	0,063	0,133	0,196	0,061	0,453	95,983%
46,275%	0,990	11,9	1,734	20,635	5,005	3,616	0,718	18,098	2,537	87,707%	0,192	0,408	0,583	0,108	1,290	93,748%

Tabla 19. Medidas a 200 kHz, 20 ns, una fase

Duty Cycle	Carga Total Ω	V _{in} (V)	I _{in} (A)	P _{in} (W)	V _{out} (V)	I _{out} (A)	ΔI (A)	P _{out} (W)	Pérdidas medidas (W)	η medido	Pérdidas en la bobina (W)	Pérdidas HIGH-SIDE MOSFET (W)	Pérdidas LOW-SIDE MOSFET (W)	Pérdidas de conmutación (W)	Total pérdidas teóricas (W)	η teórico
40,392%	100,000	11,99	0,031	0,372	5,025	0,049	0,718	0,246	0,125	66,245%	0,001	0,001	0,002	0,001	0,006	98,376%
41,176%	9,091	11,98	0,235	2,815	5,002	0,526	0,718	2,631	0,184	93,455%	0,005	0,010	0,020	0,016	0,050	98,225%
42,353%	4,762	11,97	0,429	5,135	5,038	0,955	0,718	4,811	0,324	93,694%	0,014	0,030	0,052	0,029	0,124	97,587%
43,529%	2,439	11,95	0,786	9,393	5,014	1,729	0,718	8,669	0,723	92,297%	0,044	0,094	0,150	0,052	0,340	96,383%
43,922%	1,961	11,94	0,944	11,271	5,007	2,056	0,718	10,294	0,977	91,332%	0,062	0,133	0,207	0,061	0,463	95,895%
46,275%	0,990	11,9	1,741	20,718	5,006	3,634	0,718	18,192	2,526	87,807%	0,193	0,412	0,609	0,108	1,323	93,616%

Tabla 20. Medidas a 200 kHz, 40 ns, una fase

Duty Cycle	Carga Total Ω	V _{in} (V)	I _{in} (A)	P _{in} (W)	V _{out} (V)	I _{out} (A)	ΔI (A)	P _{out} (W)	Pérdidas medidas (W)	η medido	Pérdidas en la bobina (W)	Pérdidas HIGH-SIDE MOSFET (W)	Pérdidas LOW-SIDE MOSFET (W)	Pérdidas de conmutación (W)	Total pérdidas teóricas (W)	η teórico
39,608%	100,000	11,99	0,029	0,348	5,027	0,049	0,718	0,246	0,101	70,842%	0,001	0,001	0,003	0,001	0,007	98,106%
41,176%	9,091	11,98	0,2283	2,735	4,995	0,511	0,718	2,552	0,183	93,324%	0,004	0,009	0,025	0,015	0,054	98,037%
42,353%	4,762	11,97	0,4304	5,152	5,024	0,954	0,718	4,793	0,359	93,032%	0,014	0,030	0,062	0,029	0,134	97,392%
43,529%	2,439	11,94	0,808	9,648	5	1,77	0,718	8,850	0,798	91,733%	0,046	0,098	0,176	0,053	0,374	96,125%
43,922%	1,961	11,935	0,953	11,374	4,996	2,08	0,718	10,392	0,982	91,363%	0,064	0,135	0,235	0,062	0,496	95,641%
46,275%	0,990	11,89	1,722	20,475	5,003	3,594	0,718	17,981	2,494	87,820%	0,189	0,404	0,636	0,107	1,336	93,477%

Tabla 21. Medidas a 200 kHz, 80 ns, una fase

Duty Cycle	Carga Total Ω	Vin (V)	Iin (A)	Pin (W)	Vout (V)	Iout (A)	ΔI (A)	Pout (W)	Pérdidas medidas (W)	η medido	Pérdidas en la bobina (W)	Pérdidas HIGH-SIDE MOSFET (W)	Pérdidas LOW-SIDE MOSFET (W)	Pérdidas de conmutación (W)	Total pérdidas teóricas (W)	η teórico
40,945%	100,000	11,99	0,037	0,444	5,02	0,049	0,406	0,246	0,198	55,447%	0,000	0,000	0,001	0,003	0,005	98,892%
41,732%	9,091	11,98	0,237	2,839	5,007	0,513	0,406	2,569	0,271	90,467%	0,004	0,009	0,018	0,031	0,061	97,851%
42,520%	4,762	11,97	0,431	5,159	5,001	0,952	0,406	4,761	0,398	92,283%	0,013	0,028	0,050	0,057	0,149	97,109%
44,094%	2,439	11,945	0,81	9,675	5,019	1,76	0,406	8,833	0,842	91,297%	0,045	0,097	0,153	0,105	0,400	95,861%
44,094%	1,961	11,94	0,945	11,283	4,97	2,059	0,406	10,233	1,050	90,694%	0,062	0,131	0,207	0,123	0,523	95,366%
47,244%	0,990	11,89	1,775	21,105	5,024	3,658	0,406	18,378	2,727	87,079%	0,196	0,419	0,613	0,217	1,445	93,152%

Tabla 22. Medidas a 400 kHz, 20 ns, una fase

Duty Cycle	Carga Total Ω	Vin (V)	Iin (A)	Pin (W)	Vout (V)	Iout (A)	ΔI (A)	Pout (W)	Pérdidas medidas (W)	η medido	Pérdidas en la bobina (W)	Pérdidas HIGH-SIDE MOSFET (W)	Pérdidas LOW-SIDE MOSFET (W)	Pérdidas de conmutación (W)	Total pérdidas teóricas (W)	η teórico
40,157%	100,000	11,99	0,034	0,408	5,019	0,049	0,406	0,246	0,162	60,327%	0,000	0,000	0,002	0,003	0,005	98,659%
40,945%	9,091	11,98	0,23	2,755	4,993	0,512	0,406	2,556	0,199	92,778%	0,004	0,009	0,023	0,031	0,067	97,584%
41,732%	4,762	11,97	0,421	5,039	4,97	0,95	0,406	4,722	0,318	93,692%	0,013	0,028	0,061	0,057	0,159	96,839%
44,094%	2,439	11,94	0,81	9,671	5,044	1,766	0,406	8,908	0,764	92,104%	0,046	0,098	0,173	0,105	0,423	95,631%
44,094%	1,961	11,93	0,9548	11,391	4,974	2,079	0,406	10,341	1,050	90,784%	0,063	0,134	0,234	0,124	0,555	95,130%
47,244%	0,990	11,89	1,749	20,796	5,045	3,593	0,406	18,127	2,669	87,166%	0,189	0,406	0,631	0,214	1,439	93,080%

Tabla 23. Medidas a 400 kHz, 40 ns, una fase

Duty Cycle	Carga Total Ω	Vin (V)	Iin (A)	Pin (W)	Vout (V)	Iout (A)	ΔI (A)	Pout (W)	Pérdidas medidas (W)	η medido	Pérdidas en la bobina (W)	Pérdidas HIGH-SIDE MOSFET (W)	Pérdidas LOW-SIDE MOSFET (W)	Pérdidas de conmutación (W)	Total pérdidas teóricas (W)	η teórico
38,583%	100,000	11,99	0,03	0,360	5,012	0,049	0,406	0,246	0,114	68,276%	0,000	0,000	0,003	0,003	0,007	98,176%
40,945%	9,091	11,98	0,229	2,743	5,004	0,512	0,406	2,562	0,181	93,389%	0,004	0,009	0,035	0,031	0,078	97,155%
41,732%	4,762	11,97	0,418	5,003	4,951	0,94	0,406	4,654	0,350	93,014%	0,013	0,027	0,081	0,056	0,178	96,445%
44,094%	2,439	11,945	0,814	9,723	5,032	1,765	0,406	8,881	0,842	91,343%	0,046	0,098	0,213	0,105	0,462	95,251%
44,094%	1,961	11,935	0,9457	11,287	4,971	2,054	0,406	10,210	1,076	90,462%	0,062	0,130	0,275	0,123	0,590	94,776%
47,244%	0,990	11,89	1,737	20,633	5,034	3,574	0,406	17,992	2,661	87,114%	0,187	0,401	0,706	0,212	1,506	92,710%

Tabla 24. Medidas a 400 kHz, 80 ns, una fase

A continuación, Tabla 25, Figura 38 a modo de conclusión se puede observar cómo los mejores rendimientos para una fase, se obtuvieron en todas las ocasiones para un tiempo muerto de 40 ns y una corriente de salida alrededor de 1 A, Tabla 17, Tabla 21, Tabla 23. Sin embargo en cuanto a la frecuencia si es cierto que para 200 kHz se obtienen unos resultados algo mejores pero menos concluyentes por lo que para dos y cuatro fases se usarán las tres frecuencias.

	P _{OUT} nominal					
	0,250	2,750	5,250	10,250	12,750	25,250
f _{sw} = 100 kHz; Tiempo muerto= 20 ns	56,862%	91,174%	92,461%	91,504%	91,147%	88,307%
f _{sw} = 100 kHz; Tiempo muerto= 40 ns	54,784%	90,443%	92,669%	91,474%	91,065%	87,973%
f _{sw} = 100 kHz; Tiempo muerto= 80 ns	56,931%	91,014%	92,113%	91,697%	91,145%	88,258%
f _{sw} = 200 kHz; Tiempo muerto= 20 ns	62,193%	91,424%	92,630%	91,727%	91,364%	87,707%
f _{sw} = 200 kHz; Tiempo muerto= 40 ns	66,245%	93,455%	93,694%	92,297%	91,332%	87,807%
f _{sw} = 200 kHz; Tiempo muerto= 80 ns	70,842%	93,324%	93,032%	91,733%	91,363%	87,820%
f _{sw} = 400 kHz; Tiempo muerto= 20 ns	55,447%	90,467%	92,283%	91,297%	90,694%	87,079%
f _{sw} = 400 kHz; Tiempo muerto= 40 ns	60,327%	92,778%	93,692%	92,104%	90,784%	87,166%
f _{sw} = 400 kHz; Tiempo muerto= 80 ns	68,276%	93,389%	93,014%	91,343%	90,462%	87,114%

Tabla 25. Resumen rendimientos una fase

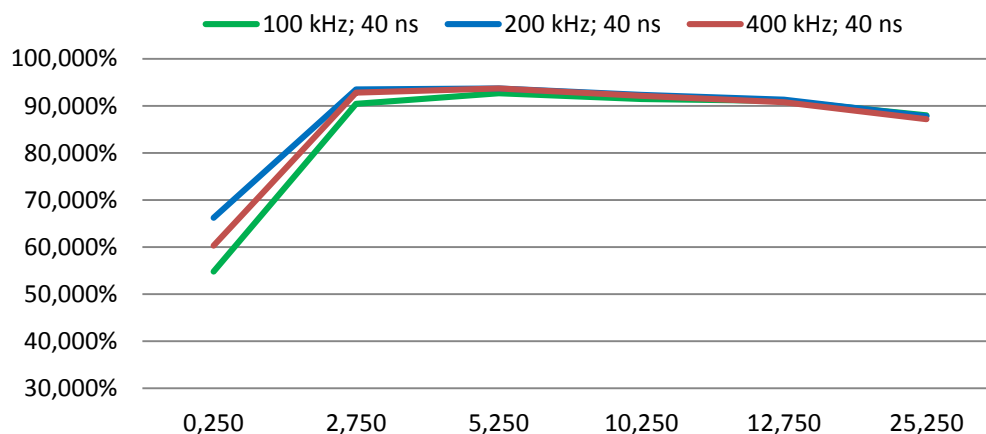


Figura 38. Gráfica mejores resultados con una fase

5.5. PRUEBAS CON DOS FASES

Una vez se decidió el tiempo muerto que se iba a utilizar (40 ns) se procedió a probar y analizar el comportamiento del reductor con dos fases. Se realizó por tanto una batería de pruebas en las que se midieron además de los mismos parámetros que para una fase, la corriente que atravesaba cada una de las dos fases.

También se decidió tomar una medida más, poniendo en la carga todas las resistencias disponibles en paralelo, obteniendo por tanto una carga total de $0,474 \Omega$. Esto se hizo, debido a que se esperaba que la corriente de salida fuese superior a la que se obtenía con una sola fase.

Se realizaron las siguientes pruebas:

- Frecuencia de conmutación igual a 100 kHz con 40 ns de tiempo muerto, Tabla 27.
- Frecuencia de conmutación igual a 200 kHz con 40 ns de tiempo muerto, Tabla 28.
- Frecuencia de conmutación igual a 400 kHz con 40 ns de tiempo muerto, Tabla 29.

Al igual que se hizo para una fase en primer lugar se midió el rizado de la corriente de salida, ya que éste era necesario para calcular las pérdidas, obteniendo los siguientes rizados:

	Rizado de corriente de salida
$f_{sw} = 100 \text{ kHz}$	1,337 A
$f_{sw} = 200 \text{ kHz}$	0,712 A
$f_{sw} = 400 \text{ kHz}$	0,387 A

Tabla 26. Rizado corriente de salida dos fases

Condición	Carga Total Ω	Vin (V)	Iin (A)	Pin (W)	Vout (V)	Iout1	Iout2	ΣI_{out}	Iout (A) medido	ΔI (A)	Pout (W)	Pérdidas medidas (W)	η medido	Total pérdidas teóricas (W)	η teórico
78%	100,00	11,99	0,05	0,55	5,03	0,03	0,03	0,06	0,05	1,34	0,25	0,31	44,64%	0,014	97,39%
18%	9,09	11,98	0,24	2,83	5,02	0,27	0,25	0,52	0,50	1,34	2,50	0,32	88,57%	0,046	98,39%
57%	4,76	11,97	0,42	5,03	5,02	0,49	0,49	0,98	0,93	1,34	4,64	0,39	92,33%	0,108	97,85%
33%	2,44	11,95	0,77	9,15	5,03	0,90	0,85	1,75	1,71	1,34	8,58	0,57	93,77%	0,306	96,66%
35%	1,96	11,94	0,87	10,39	5,01	1,01	0,96	1,96	1,95	1,34	9,76	0,63	93,96%	0,390	96,25%
53%	0,99	11,90	1,54	18,37	5,02	1,72	1,68	3,39	3,42	1,34	17,13	1,24	93,26%	1,117	93,92%
10%	0,47	11,84	2,60	30,74	5,00	2,81	2,80	5,61	5,59	1,34	27,95	2,79	90,94%	2,894	90,59%

Tabla 27. Medidas a 100 kHz, 40 ns, dos fases

Condición	Carga Total Ω	Vin (V)	Iin (A)	Pin (W)	Vout (V)	Iout1	Iout2	ΣI_{out}	Iout (A) medido	ΔI (A)	Pout (W)	Pérdidas medidas (W)	η medido	Total pérdidas teóricas (W)	η teórico
39%	100,00	11,99	0,04	0,47	5,02	0,06	0,01	0,07	0,05	0,71	0,25	0,22	52,61%	0,006	98,72%
78%	9,09	11,98	0,23	2,72	5,02	0,29	0,22	0,51	0,49	0,71	2,46	0,25	90,64%	0,045	98,33%
18%	4,76	11,97	0,41	4,96	5,02	0,51	0,44	0,95	0,93	0,71	4,65	0,30	93,88%	0,118	97,62%
57%	2,44	11,95	0,74	8,82	4,99	0,89	0,82	1,71	1,68	0,71	8,36	0,46	94,77%	0,321	96,36%
36%	1,96	11,94	0,89	10,57	5,01	1,06	0,98	2,04	2,00	0,71	10,02	0,55	94,82%	0,441	95,83%
14%	0,99	11,90	1,54	18,29	5,00	1,80	1,68	3,48	3,42	0,71	17,10	1,19	93,47%	1,181	93,54%
49%	0,47	11,83	2,87	33,93	5,02	3,10	3,04	6,14	6,11	0,71	30,64	3,29	90,30%	3,557	89,52%

Tabla 28. Medidas a 200 kHz, 40 ns, dos fases

Condición	Carga Total Ω	Vin (V)	Iin (A)	Pin (W)	Vout (V)	Iout1	Iout2	ΣI_{out}	Iout (A) medido	ΔI (A)	Pout (W)	Pérdidas medidas (W)	η medido	Total pérdidas teóricas (W)	η teórico
16%	100,00	11,99	0,05	0,55	5,01	0,11	-0,04	0,08	0,05	0,39	0,25	0,31	44,47%	0,005	99,03%
94%	9,09	11,98	0,24	2,88	5,04	0,37	0,17	0,54	0,51	0,39	2,56	0,32	88,87%	0,066	97,72%
94%	4,76	11,97	0,42	5,05	4,99	0,59	0,38	0,96	0,94	0,39	4,68	0,37	92,61%	0,156	96,91%
73%	2,44	11,95	0,76	9,12	4,98	0,96	0,78	1,74	1,72	0,39	8,55	0,57	93,76%	0,403	95,58%
52%	1,96	11,94	0,90	10,79	5,04	1,10	0,95	2,06	2,01	0,39	10,14	0,66	93,93%	0,525	95,14%
31%	0,99	11,91	1,54	18,29	4,95	1,82	1,65	3,47	3,41	0,39	16,89	1,40	92,35%	1,313	92,82%
67%	0,47	11,83	2,86	33,81	4,98	3,18	2,98	6,16	6,08	0,39	30,26	3,55	89,50%	3,772	88,84%

Tabla 29. Medidas a 400 kHz, 40 ns, dos fases

Como se puede observar,

con la utilización de dos fases se obtiene un mayor rendimiento en comparación con el uso de una sola fase, Tabla 30, Figura 39 ya que con una fase se llegó a alcanzar un rendimiento máximo del 93,694% mientras que con dos fases se alcanzó un 94,824%.

También es importante mencionar que estos valores máximos de eficiencia para dos fases se dan para el doble de corriente que para una fase, Tabla 28 (en torno a 2 A de corriente de salida, mientras que para una fase se alcanzaba el máximo rendimiento en torno a 1 A de corriente de salida) pudiéndose afirmar que para dos fases se obtiene un mayor rendimiento para una mayor corriente de salida.

	POUT nominal						
	0,250	2,750	5,250	10,250	12,750	25,250	52,750
$f_{sw} = 100 \text{ kHz}$	44,643%	88,565%	92,331%	93,765%	93,962%	93,257%	90,938%
$f_{sw} = 200 \text{ kHz}$	52,614%	90,644%	93,878%	94,774%	94,824%	93,472%	90,304%
$f_{sw} = 400 \text{ kHz}$	44,474%	88,873%	92,605%	93,762%	93,929%	92,350%	89,500%

Tabla 30. Resumen rendimientos dos fases

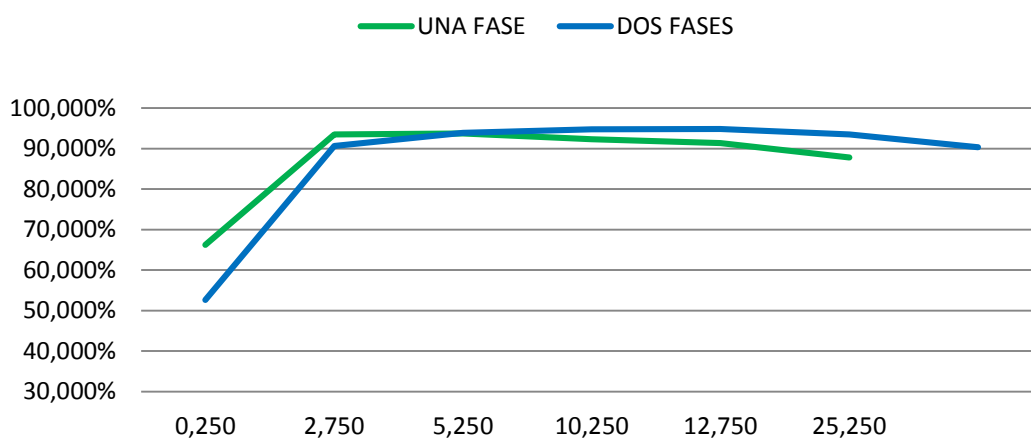


Figura 39. Comparación de rendimientos, una fase vs dos fases a 200 kHz

5.6. PRUEBAS CON CUATRO FASES

Una vez se probó el circuito con dos fases se procedió a analizar el comportamiento del reductor con sus cuatro fases.

Se realizaron las siguientes pruebas:

- Frecuencia de conmutación igual a 100 kHz con 40 ns de tiempo muerto
- Frecuencia de conmutación igual a 200 kHz con 40 ns de tiempo muerto
- Frecuencia de conmutación igual a 400 kHz con 40 ns de tiempo muerto

Al igual que se hizo para una y dos fases en primer lugar se midió el rizado de la corriente de salida.

	Rizado de corriente de salida
$f_{sw}= 100 \text{ kHz}$	1,331 A
$f_{sw}= 200 \text{ kHz}$	0,693 A
$f_{sw}= 400 \text{ kHz}$	0,349 A

Tabla 31. Rizado de corriente de salida cuatro fases

Duty Cycle	Carga Total Ω	V _{in} (V)	I _{in} (A)	P _{in} (W)	V _{out} (V)	I _{out1}	I _{out2}	I _{out3}	I _{out4}	Σ I _{out}	I _{out} (A) medido	Δ l (A)	P _{out} (W)	Pérdidas medidas (W)	η medido	Total pérdidas teóricas (W)	η teórico
40,78%	100,00	11,98	0,07	0,78	5,03	0,01	0,05	0,03	0,03	0,11	0,05	1,33	0,25	0,53	31,64%	0,01	98,16%
41,18%	9,09	11,97	0,26	3,09	5,04	0,14	0,15	0,14	0,13	0,56	0,51	1,33	2,55	0,54	82,66%	0,05	98,50%
41,18%	4,76	11,96	0,44	5,26	5,00	0,26	0,55	0,25	0,22	1,28	0,94	1,33	4,68	0,58	88,97%	0,11	97,91%
41,96%	2,44	11,93	0,79	9,44	5,02	0,48	0,45	0,45	0,39	1,78	1,73	1,33	8,69	0,75	92,10%	0,31	96,68%
41,96%	1,96	11,92	0,92	10,95	5,00	0,63	0,52	0,53	0,46	2,13	2,03	1,33	10,16	0,79	92,81%	0,42	96,15%
43,14%	0,99	11,87	1,61	19,05	5,00	0,97	0,88	0,92	0,79	3,56	3,54	1,33	17,66	1,39	92,70%	1,19	93,74%
44,71%	0,47	11,79	2,82	33,25	5,01	1,66	1,50	1,55	1,34	6,04	6,09	1,33	30,46	2,79	91,60%	3,42	89,72%

Tabla 32. Medidas a 100 kHz, 40 ns cuatro fases

Duty Cycle	Carga Total Ω	V _{in} (V)	I _{in} (A)	P _{in} (W)	V _{out} (V)	I _{out1}	I _{out2}	I _{out3}	I _{out4}	Σ I _{out}	I _{out} (A) medido	Δ l (A)	P _{out} (W)	Pérdidas medidas (W)	η medido	Total pérdidas teóricas (W)	η teórico
40,39%	100,00	11,98	0,06	0,67	5,03	0,04	0,04	0,04	0,02	0,14	0,05	0,69	0,25	0,42	36,75%	0,01	99,14%
40,78%	9,09	11,97	0,25	3,02	5,04	0,18	0,14	0,14	0,13	0,60	0,51	0,69	2,57	0,44	85,33%	0,05	98,42%
40,78%	4,76	11,96	0,44	5,23	5,00	0,30	0,24	0,25	0,23	1,02	0,95	0,69	4,74	0,49	90,64%	0,12	97,66%
41,57%	2,44	11,93	0,78	9,31	5,03	0,51	0,43	0,47	0,38	1,79	1,73	0,69	8,70	0,61	93,48%	0,34	96,35%
41,57%	1,96	11,92	0,90	10,74	5,00	0,58	0,49	0,52	0,43	2,02	2,03	0,69	10,13	0,61	94,32%	0,45	95,81%
42,75%	0,99	11,87	1,58	18,74	5,01	1,01	0,88	0,90	0,81	3,60	3,50	0,69	17,52	1,22	93,49%	1,23	93,44%
45,10%	0,47	11,78	2,92	34,36	5,02	1,73	1,52	1,58	1,41	6,23	6,20	0,69	31,11	3,24	90,56%	3,66	89,34%

Tabla 33. Medidas a 200 kHz, 40 ns cuatro fases

Duty Cycle	Carga Total Ω	V _{in} (V)	I _{in} (A)	P _{in} (W)	V _{out} (V)	I _{out1}	I _{out2}	I _{out3}	I _{out4}	Σ I _{out}	I _{out} (A) medido	Δ l (A)	P _{out} (W)	Pérdidas medidas (W)	η medido	Total pérdidas teóricas (W)	η teórico
40,16%	100,00	11,99	0,07	0,86	5,03	0,03	0,05	0,06	-0,04	0,10	0,05	0,35	0,25	0,62	28,55%	0,01	99,40%
40,16%	9,09	11,97	0,26	3,16	4,98	0,15	0,17	0,19	0,06	0,57	0,51	0,35	2,54	0,62	80,53%	0,07	97,91%
40,94%	4,76	11,96	0,45	5,43	5,03	0,30	0,24	0,24	0,20	0,97	0,95	0,35	4,80	0,63	88,43%	0,16	97,05%
41,73%	2,44	11,93	0,80	9,53	5,04	0,51	0,42	0,43	0,39	1,75	1,74	0,35	8,78	0,75	92,10%	0,41	95,67%
41,73%	1,96	11,92	0,90	10,74	5,02	0,59	0,46	0,49	0,44	1,98	2,00	0,35	10,02	0,72	93,28%	0,52	95,18%
43,31%	0,99	11,97	1,61	19,22	5,02	0,97	0,85	0,83	0,80	3,45	3,49	0,35	17,55	1,68	91,27%	1,37	92,88%
46,46%	0,47	11,77	3,01	35,39	5,02	1,76	1,59	1,47	1,41	6,23	6,23	0,35	31,24	4,15	88,27%	3,94	88,86%

Tabla 34. Medidas a 400 kHz, 40 ns cuatro fases

Como se puede observar, con la utilización de cuatro fases no se obtuvo un rendimiento superior que con dos fases ya que se alcanzó un máximo de 94,321%, y con dos fases se consiguió un máximo de 94,824% Tabla 35, Figura 40. Como se observa en la, Tabla 33, al igual que con dos fases estos rendimientos máximos se alcanzaban para una corriente de salida entorno a los 2 A.

Sin embargo, para corrientes muy grandes el rendimiento llega a ser algo mejor y es esperable que la diferencia fuera mayor para cargas mayores a las utilizadas en las pruebas experimentales. No fue posible poner una carga superior a 52,75 W ya que pese a que ésta estaba sobredimensionada al esperar 40 W de máxima potencia nominal, el gran margen que se manejó en la elección de los componentes provocó un sobredimensionamiento del circuito por lo que la carga resultó insuficiente.

	POUT nominal						
	0,250	2,750	5,250	10,250	12,750	25,250	52,750
$f_{sw} = 100 \text{ kHz}$	31,639%	82,660%	88,974%	92,104%	92,813%	92,701%	91,601%
$f_{sw} = 200 \text{ kHz}$	36,746%	85,329%	90,637%	93,479%	94,321%	93,493%	90,556%
$f_{sw} = 400 \text{ kHz}$	28,551%	80,529%	88,428%	92,105%	93,277%	91,269%	88,267%

Tabla 35. Resumen rendimientos cuatro fases

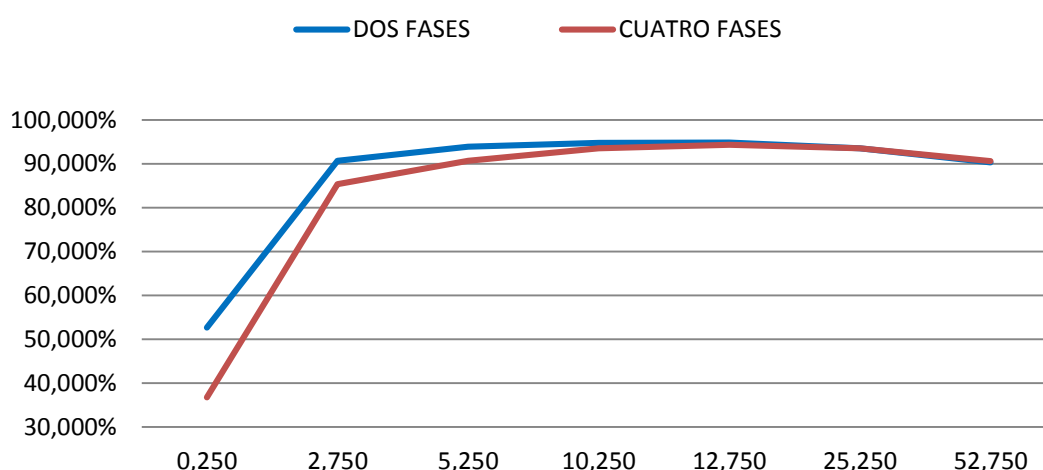


Figura 40. Comparación de rendimientos, dos fases vs cuatro fases a 200 kHz

6. CONCLUSIONES

A lo largo este Trabajo Fin de Grado se ha desarrollado el diseño e implementación de un reductor multifase. Se decidió usar un reductor y no un regulador lineal debido a que se buscaba alcanzar una alta eficiencia y porque el reductor es la fuente más típica del tipo *point-of-load*, es decir, alimentación directa de microprocesadores y otros dispositivos digitales.

Como punto de partida se desarrollaron una serie de ecuaciones teóricas que pese a no tener en cuenta las pérdidas que sufría el circuito, como primera aproximación ayudaron a entender cómo funcionaba el reductor. Una vez comprendido el funcionamiento, se pasó a desarrollar unas ecuaciones más completas en las que sí se contemplaban algunas pérdidas, permitiendo así calcular tanto los valores de los componentes del circuito (inductancia mínima, capacidad mínima) como el ciclo de trabajo que se debía utilizar para alcanzar a la salida la tensión deseada ($V_{OUT}=5\text{ V}$).

Sin embargo, la elección del condensador más adecuado para el reductor no se llevó a cabo hasta que el circuito estuvo construido ya que se decidió hacer de forma experimental, tratando de minimizar al máximo el rizado de la tensión de salida, puesto que se comprobó que el valor de condensador mínimo obtenido en las ecuaciones permitía un enorme rizado debido a su ESR.

A continuación se procedió a diseñar la carga del circuito ya que se deseaba que ésta fuese variable para hacer distintas pruebas una vez se hubiese construido el circuito. Esta carga constó de 8 resistencias en paralelo acompañadas (todas salvo una) de un interruptor con el fin de poder poner más o menos carga (más o menos resistencias) al circuito.

Una vez se supieron los valores de los componentes que iban a necesitar para la implementación del circuito se pasó a hacer una búsqueda en dos de los principales distribuidores de componentes electrónicos, Farnell y RS, procediendo a hacer una comparativa entre ambos, procurando hacer tan solo un pedido.

Por último en esta primera fase de diseño se procedió a explicar el porqué se decidió hacer un reductor de cuatro fases y no de una, mostrando cómo se reducía el rizado tanto de la corriente como de la tensión de salida.

A continuación se procedió a seguir los pasos necesarios para la implementación física del reductor, se diseñó el esquemático, se procedió al rutado el circuito y se generaron los archivos necesarios para la construcción de éste (*gerber files, drill files*) en la fresadora de la EPS.

Una vez construido el circuito se pasó a realizar una amplia batería de pruebas para determinar y analizar el comportamiento del reductor. En primer lugar se determinó que el tiempo muerto que tenían que tener las señales PWM que activaban los *mosfet* debía ser igual a 40 ns ya que con este valor se obtuvieron los mejores resultados para una fase.

Determinado el tiempo muerto se analizó el funcionamiento del reductor disparando 2 y 4 fases concluyendo lo siguiente:

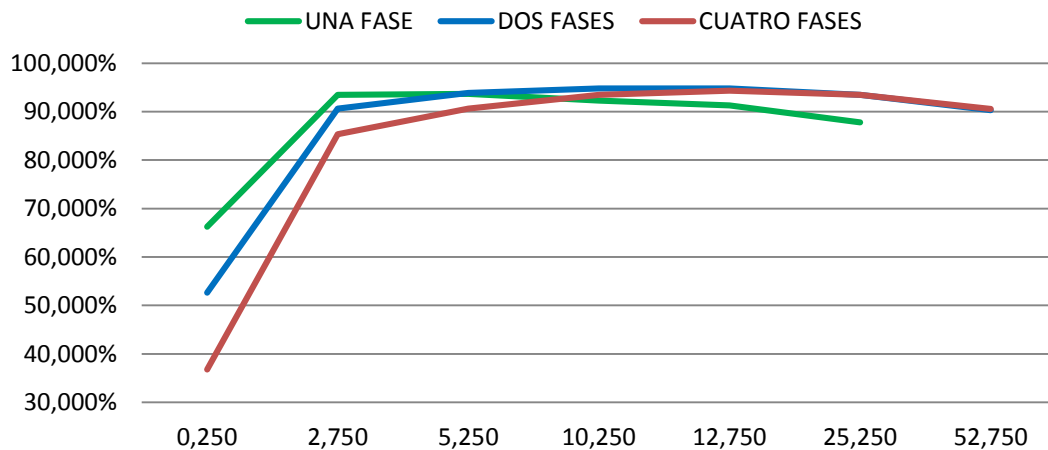


Figura 41. Comparación una, dos y cuatro fases, 200 kHz, 40 ns

En primer lugar, como se ve en la Figura 41, el reductor presenta tres curvas diferenciadas coincidiendo con el disparo de una, dos o cuatro fases.

Si se dispone de poca carga se debe disparar una sola fase ya que como se observa, para poca potencia se consigue el mayor rendimiento con una fase. Pero no siempre puede convenir disparar solo una fase puesto que el rendimiento decae muy rápidamente al aumentar la potencia.

Sin embargo si lo que se desea es mantener para el mayor rango de potencias un buen rendimiento se deben disparar las cuatro fases. Es cierto que con 4 fases no se alcanzó exactamente el valor máximo de rendimiento que se obtuvo con dos fases, pero sí fue muy similar 94,321% (frente a 94,824%), y a diferencia que con dos fases se puede apreciar como la curva decae más lentamente.

Es cierto que este decaimiento no se puede distinguir con demasiado detalle en la Figura 40. Esto es debido a que para apreciar cómo decae la curva correspondiente al disparo de 2 fases habría que subir aún más la carga y ésta estaba diseñada hasta 52,75 W. Este diseño estaba sobredimensionado puesto que la máxima potencia nominal por especificaciones del circuito eran 40 W. Sin embargo a la hora de elegir los componentes se eligieron con un gran margen provocando el sobredimensionamiento del circuito sobrepasando los 40 W por lo que la carga resultó insuficiente para mostrar claramente el mejor rendimiento del reductor con 4 fases que con 2 fases.

7. LÍNEAS FUTURAS

Como se ha visto en las conclusiones, el decaimiento más lento de la curva correspondiente al disparo de cuatro fases frente al decaimiento más acelerado de la curva correspondiente a dos fases. No se pudo apreciar muy detalladamente debido a que no se disponía de la carga necesaria para llevar a cabo estas pruebas. Por lo tanto para realizar más pruebas y así poder demostrar que cuando se disparan cuatro fases se obtienen los mayores rendimientos durante el mayor rango de potencias de salida se debería contar con una mayor carga para el circuito.

Por otro lado se podría comparar el reductor multifase construido con los reductores multifase comerciales en términos de rendimiento, potencia, tamaño, etcétera.

Por último sería interesante controlar el circuito en lazo cerrado y conseguir que el número de fases se adaptase automáticamente con la carga.

APÉNDICE

MODELO DEL REDUCTOR IDEAL MULTIFASE

```
-----
----                      Reductor 4 fases                      ----
-----

-- Entity: ReductorCuatroFases
-- Architecture: Reductor
-----

-- Author: Laura Usero Puig
-----

-- EPS - UAM
-----

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
use IEEE.std_logic_arith.all;
use IEEE.math_real.all;

entity ReductorCuatroFases is
    port (

        Clk      : in std_logic;
        Reset    : in std_logic;
        HSM_1     : in std_logic;
        LSM_1     : in std_logic;
        HSM_2     : in std_logic;
        LSM_2     : in std_logic;
        HSM_3     : in std_logic;
        LSM_3     : in std_logic;
        HSM_4     : in std_logic;
        LSM_4     : in std_logic;
        Vin       : in real;
        Ir        : in real;
        Iin       : out real;
        Vout      : out real
    );
end ReductorCuatroFases;

architecture Reductor of ReductorCuatroFases is

    constant C      : real := 220.0e-6;    -- Obtenido con calculos previos
    constant L      : real := 22.0e-6;     -- Obtenido con calculos previos
    constant dt     : real := 20.0e-9;
    constant dtL    : real := dt/L;
    constant dtC    : real := dt/C;
    constant Iini   : real := 0.0;
    constant Vini   : real := 5.0;

    signal Iiaux_1, Iiaux_2, Iiaux_3, Iiaux_4 : real := 0.0;
    signal Voaux    : real := 0.0;
    signal Ic       : real := 0.0;
```

```

    signal Vl_1      : real := 0.0;
    signal Il_1      : real := 0.0;
    signal Vl_2      : real := 0.0;
    signal Il_2      : real := 0.0;
    signal Vl_3      : real := 0.0;
    signal Il_3      : real := 0.0;
    signal Vl_4      : real := 0.0;
    signal Il_4      : real := 0.0;
    signal Il_total  : real := 0.0;

begin

    Iin <= Iiaux_1+Iiaux_2+Iiaux_3+Iiaux_4;
    Il_total <= Il_1+Il_2+Il_3+Il_4;
    Ic <= Il_total - Ir;
    Vout <= Voaux;

    Interruptores : process (HSM_1,LSM_1,HSM_2,LSM_2,HSM_3,LSM_3,HSM_4,LSM_4, Vl_1,
Vl_2, Vl_3, Vl_4,Vin, Voaux)
    begin
        ----- PRIMERA FASE -----
        if (HSM_1 = '1' and LSM_1='0') then
            Vl_1 <= Vin-Voaux;
            Iiaux_1 <= Il_1;
        elsif (HSM_1 = '0' and LSM_1='1') then
            Vl_1 <= -Voaux;
            Iiaux_1 <= 0.0;
        elsif (HSM_1='0' and LSM_1='0') then
            if Il_1<0.0 then
                Vl_1 <= Vin-Voaux;
                Iiaux_1 <= Il_1;
            else
                Vl_1 <= -Voaux;
                Iiaux_1 <= 0.0;
            end if;
        elsif (HSM_1 = '1' and LSM_1='1') then --Caso a evitar
            Vl_1 <= Vini;
            Iiaux_1 <= Iini;
        end if;

        ----- SEGUNDA FASE -----
        if (HSM_2 = '1' and LSM_2='0') then
            Vl_2 <= Vin-Voaux;
            Iiaux_2 <= Il_2;
        elsif (HSM_2 = '0' and LSM_2='1') then
            Vl_2 <= -Voaux;
            Iiaux_2 <= 0.0;
        elsif (HSM_2 = '0' and LSM_2='0') then
            if Il_2<0.0 then
                Vl_2 <= Vin-Voaux;
                Iiaux_2 <= Il_2;
            else
                Vl_2 <= -Voaux;
                Iiaux_2 <= 0.0;
            end if;
        elsif (HSM_2 = '1' and LSM_2='1') then --Caso a evitar
            Vl_2 <= Vini;
            Iiaux_2 <= Iini;
        end if;
    end process;
end

```

```

----- TERCERA FASE -----
    if (HSM_3 = '1' and LSM_3 = '0') then
        Vl_3 <= Vin-Voaux;
        Iinaux_3 <= Il_3;
    elsif (HSM_3 = '0' and LSM_3 = '1') then
        Vl_3 <= -Voaux;
        Iinaux_3 <= 0.0;
    elsif (HSM_3 = '0' and LSM_3 = '0') then
        if Il_3 < 0.0 then
            Vl_3 <= Vin-Voaux;
            Iinaux_3 <= Il_3;
        else
            Vl_3 <= -Voaux;
            Iinaux_3 <= 0.0;
        end if;
    elsif (HSM_3 = '1' and LSM_3 = '1') then --Caso a evitar
        Vl_3 <= Vini;
        Iinaux_3 <= Iini;
    end if;
----- CUARTA FASE -----
    if (HSM_4 = '1' and LSM_4 = '0') then
        Vl_4 <= Vin-Voaux;
        Iinaux_4 <= Il_4;
    elsif (HSM_4 = '0' and LSM_4 = '1') then
        Vl_4 <= -Voaux;
        Iinaux_4 <= 0.0;
    elsif (HSM_4 = '0' and LSM_4 = '0') then
        if Il_4 < 0.0 then
            Vl_4 <= Vin-Voaux;
            Iinaux_4 <= Il_4;
        Else
            Vl_4 <= -Voaux;
            Iinaux_4 <= 0.0;
        end if;
    elsif (HSM_4 = '1' and LSM_4 = '1') then --Caso a evitar
        Vl_4 <= Vini;
        Iinaux_4 <= Iini;
    end if;
end process Interruptores;

assignment : process (Clk, Reset)
begin
    if Reset = '1' then
        Voaux <= Vini;
        Il_1 <= Iini;
        Il_2 <= Iini;
        Il_3 <= Iini;
        Il_4 <= Iini;
    elsif rising_edge(Clk) then
        Il_1 <= Il_1 + Vl_1*dtL;
        Il_2 <= Il_2 + Vl_2*dtL;
        Il_3 <= Il_3 + Vl_3*dtL;
        Il_4 <= Il_4 + Vl_4*dtL;
        Voaux <= Voaux + Ic*dtC;
    end if;
end process assignment;

end Reductor;

```

Código 2. Modelo ideal reductor multifase

CREACIÓN DE LAS SEÑALES PWM

A continuación se muestra uno de los códigos VHDL que se desarrollaron para crear las señales PWM ya que este mismo se adaptó a diferentes frecuencias y a distintos tiempos muertos. Este código muestra el caso para una frecuencia de 200 kHz y 40 ns de tiempo muerto [8]

```
-----
----      Creacion de las senales Pwm      ----
-----

-- Entity: PWMSincrono
-- Architecture: PWMSincrono200
-----

-- Author: Laura Usero Puig
-----

-- EPS - UAM
-----

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity PWMSincrono is
  Port ( CLK      : in  STD_LOGIC;
        Reset    : in  STD_LOGIC;
        Duty     : in  STD_LOGIC_VECTOR (7 downto 0);
        Pwm_h1   : out STD_LOGIC;
        Pwm_h2   : out STD_LOGIC;
        Pwm_h3   : out STD_LOGIC;
        Pwm_h4   : out STD_LOGIC;
        Pwm_l1   : out STD_LOGIC;
        Pwm_l2   : out STD_LOGIC;
        Pwm_l3   : out STD_LOGIC;
        Pwm_l4   : out STD_LOGIC
        );
end PWMSincrono;

--      fclk      = 50 MHz
--      fsw       = 201.613 kHz
--      Ncount    = fclk/fsw= 248

architecture PWMSincrono200 of PWMSincrono is

  signal contador_1      : integer range 0 to 248;
  signal contador_2      : integer range 0 to 248;
  signal contador_3      : integer range 0 to 248;
  signal contador_4      : integer range 0 to 248;
  signal duty_int        : integer range 0 to 255;
  constant Ncount        : integer := 248;
  constant NDeadTime     : integer := 2;

begin

  duty_int <= conv_integer(Duty);
```

```

----- Contador -----
process (CLK, Reset)
begin
    if Reset='1' then
        contador_1 <= 0;
        contador_2 <= 62;
        contador_3 <= 124;
        contador_4 <= 186;
    elsif rising_edge(CLK) then
        if contador_1 < (Ncount-1) then
            contador_1 <= contador_1 + 1;
        else
            contador_1 <= 0;
        end if;
        if contador_2 < (Ncount-1) then
            contador_2 <= contador_2 + 1;
        else
            contador_2 <= 0;
        end if;
        if contador_3 < (Ncount-1) then
            contador_3 <= contador_3 + 1;
        else
            contador_3 <= 0;
        end if;
        if contador_4 < (Ncount-1) then
            contador_4 <= contador_4 + 1;
        else
            contador_4 <= 0;
        end if;
    end if;
end process;

----- Comparador -----
process (CLK, reset)
begin
    if Reset='1' then
        Pwm_h1 <= '0';
        Pwm_h2 <= '0';
        Pwm_h3 <= '0';
        Pwm_h4 <= '0';
        Pwm_l1 <= '0';
        Pwm_l2 <= '0';
        Pwm_l3 <= '0';
        Pwm_l4 <= '0';
    elsif rising_edge(CLK) then
        if contador_1 < duty_int and contador_1 < (Ncount-NDeadTime*3) then
            Pwm_h1 <= '1';
            Pwm_l1 <= '0';
        elsif contador_1 > (duty_int+NDeadTime-1) and contador_1 < (Ncount-
NDeadTime) then
            Pwm_h1 <= '0';
            Pwm_l1 <= '1';
        else
            Pwm_h1 <= '0';
            Pwm_l1 <= '0';
        end if;
        if contador_2 < duty_int and contador_2 < (Ncount-NDeadTime*3) then
            Pwm_h2 <= '1';
            Pwm_l2 <= '0';
        elsif contador_2 > (duty_int+NDeadTime-1) and contador_2 < (Ncount-
NDeadTime) then
            Pwm_h2 <= '0';
            Pwm_l2 <= '1';
        else
            Pwm_h2 <= '0';
            Pwm_l2 <= '0';
        end if;
        if contador_3 < duty_int and contador_3 < (Ncount-NDeadTime*3) then
            Pwm_h3 <= '1';
            Pwm_l3 <= '0';
        elsif contador_3 > (duty_int+NDeadTime-1) and contador_3 < (Ncount-
NDeadTime) then
            Pwm_h3 <= '0';
            Pwm_l3 <= '1';

```

```

        else
            Pwm_h3 <= '0';
            Pwm_l3 <= '0';
        end if;
        if contador_4 < duty_int and contador_4 < (Ncount-NDeadTime*3) then
            Pwm_h4 <= '1';
            Pwm_l4 <= '0';
        elsif contador_4 > (duty_int+NDeadTime-1) and contador_4 < (Ncount-
NDeadTime) then
            Pwm_h4 <= '0';
            Pwm_l4 <= '1';
        else
            Pwm_h4 <= '0';
            Pwm_l4 <= '0';
        end if;
    end if;
end process;

end PWMSincrono200;

```

Código 3. Creación de las señales PWM

TOP LEVEL

```

-----
----                                Top Level                                ----
-----

-- Entity: Top4Tb
-- Architecture: behavior
-----

-- Author: Laura Usero Puig
-----

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
use IEEE.std_logic_unsigned.all;
use IEEE.std_logic_arith.all;
use IEEE.math_real.all;

ENTITY Top4Tb IS
END Top4Tb;

ARCHITECTURE behavior OF Top4Tb IS

    COMPONENT PWMSincrono
    PORT(
        CLK : IN  std_logic;
        Reset : IN  std_logic;
        Duty : IN  std_logic_vector(7 downto 0);
        Pwm_h1 : OUT  std_logic;
        Pwm_h2 : OUT  std_logic;
        Pwm_h3 : OUT  std_logic;
        Pwm_h4 : OUT  std_logic;
        Pwm_l1 : OUT  std_logic;
        Pwm_l2 : OUT  std_logic;
        Pwm_l3 : OUT  std_logic;
        Pwm_l4 : OUT  std_logic
    );
    END COMPONENT;

```

```

COMPONENT ReductorCuatroFases
PORT(
    Clk : IN std_logic;
    Reset : IN std_logic;
    HSM_1 : IN std_logic;
    LSM_1 : IN std_logic;
    HSM_2 : IN std_logic;
    LSM_2 : IN std_logic;
    HSM_3 : IN std_logic;
    LSM_3 : IN std_logic;
    HSM_4 : IN std_logic;
    LSM_4 : IN std_logic;
    Vin : IN real;
    Ir : IN real;
    Iin : OUT real;
    Vout : OUT real
);
END COMPONENT;

--Inputs
signal CLK : std_logic := '0';
signal Reset : std_logic := '0';
signal Duty : std_logic_vector(7 downto 0) := (others => '0');
signal Vin : real := 0.0;
signal Ir : real := 0.0;

--Outputs
signal Pwm_h1 : std_logic;
signal Pwm_h2 : std_logic;
signal Pwm_h3 : std_logic;
signal Pwm_h4 : std_logic;
signal Pwm_l1 : std_logic;
signal Pwm_l2 : std_logic;
signal Pwm_l3 : std_logic;
signal Pwm_l4 : std_logic;
signal Iin, Vout : real;

-- Clock period definitions
constant CLK_period : time := 10 ns;

signal Gout : real := 1.0;

BEGIN

-- Instantiate the Unit Under Test (UUT)
uut: PWMSincrono PORT MAP (
    CLK => CLK,
    Reset => Reset,
    Duty => Duty,
    Pwm_h1 => Pwm_h1,
    Pwm_h2 => Pwm_h2,
    Pwm_h3 => Pwm_h3,
    Pwm_h4 => Pwm_h4,
    Pwm_l1 => Pwm_l1,
    Pwm_l2 => Pwm_l2,
    Pwm_l3 => Pwm_l3,
    Pwm_l4 => Pwm_l4
);

```

```

Inst_ReductorCuatroFases: ReductorCuatroFases PORT MAP (
    Clk => Clk,
    Reset => Reset,
    HSM_1 => Pwm_h1,
    LSM_1 => Pwm_l1,
    HSM_2 => Pwm_h2,
    LSM_2 => Pwm_l2,
    HSM_3 => Pwm_h3,
    LSM_3 => Pwm_l3,
    HSM_4 => Pwm_h4,
    LSM_4 => Pwm_l4,
    Vin => Vin,
    Ir => Ir,
    Iin => Iin,
    Vout => Vout
);

-- Clock process definitions
CLK_process :process
begin
    CLK <= '0';
    wait for CLK_period/2;
    CLK <= '1';
    wait for CLK_period/2;
end process;

-- Stimulus process
stim_proc: process
begin
    Reset <= '1';
    Vin <= 12.0;
    Gout <= 1.6;
    Duty <= X"6B";
    wait for CLK_period*2;
    Reset <= '0';
    wait;
end process;

Ir <= Vout*Gout;

END;

```

Código 4. Top level

BIBLIOGRAFÍA

- [1] G. A. Ruiz Robredo, «Electrónica básica para ingenieros,» 2001.
- [2] S. Maniktala, Switching Power Supplies A to Z, ELSEVIER, 2006.
- [3] R. W. E. y. D. Maksimovic, Fundamentals of Power Electronics, 2 ed., Enero 2001.
- [4] T. Instruments, "Basic Calculation of a Buck Converter's Power Stage," Agosto 2012.
- [5] T. Instruments, «Component Calculator for BUCK Converters (Free Tool)».
- [6] T. Instruments, «Calculating Efficiency,» 2010.
- [7] www.electronicdesing.com, «Fundamentals of Buck Converter Efficiency».
- [8] «Xilinx. Spartan-3E FPGA Family Data Sheet. Hoja de datos de la FPGA Spartan 3,DS312.,» Julio 2013.